

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Kazuhiro SHIMIZU

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE,  
AND METHOD OF EVALUATING MANUFACTURING PROCESS OF SEMICONDUCTOR DEVICE

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

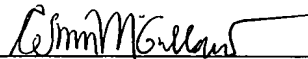
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-141625	May 20, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

**C. Irvin McClelland**  
**Registration Number 21,124**

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月20日  
Date of Application:

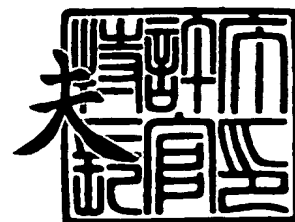
出願番号 特願2003-141625  
Application Number:  
[ST. 10/C]: [JP2003-141625]

出願人 三菱電機株式会社  
Applicant(s):

2003年 9月19日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2003-3077290

【書類名】 特許願

【整理番号】 544628JP01

【提出日】 平成15年 5月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会  
社内

【氏名】 清水 和宏

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】

図面 1

【物件名】

要約書 1

【プルーフの要否】

要

【書類名】 明細書

【発明の名称】 半導体装置、半導体装置の製造方法及び半導体装置の製造プロセス評価方法

【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板と、  
前記半導体基板上に設けられた第 2 導電型の半導体層と、  
前記半導体層の上面から前記半導体基板との界面にかけて前記半導体層内部に設けられ、R E S U R F 分離領域を区分する前記第 1 導電型の第 1 不純物領域と、  
前記半導体層の上面から少なくとも前記半導体基板との界面付近にかけて前記 R E S U R F 分離領域内の前記半導体層内部に前記第 1 不純物領域と接続して設けられ、前記 R E S U R F 分離領域内に前記第 1 不純物領域とともにトレンチ分離領域を区分する第 1 のトレンチ分離構造と、  
前記 R E S U R F 分離領域内であって、かつ前記トレンチ分離領域外の前記半導体層に設けられた半導体素子と、  
第 1 の M O S トランジスタと  
を備え、  
前記第 1 の M O S トランジスタは、  
前記トレンチ分離領域内の前記半導体層の上面内に設けられた、ドレイン電極との接続のための前記第 2 導電型の第 2 不純物領域と、  
前記第 1 不純物領域と前記第 2 不純物領域との間の前記半導体層の上面内に設けられた前記第 1 導電型の第 3 不純物領域と、  
前記第 3 不純物領域の上面内に設けられた前記第 2 導電型の第 1 のソース領域と  
を有し、  
前記第 2 不純物領域の下方において前記半導体層と前記半導体基板との界面に設けられた、前記半導体層よりも高濃度の前記第 2 導電型の埋め込み不純物領域を更に備える、半導体装置。

【請求項 2】 前記半導体層の上面から少なくとも前記半導体基板との界面

付近にかけて、前記第 1 のトレンチ分離構造と所定距離を成して前記 R E S U R F 分離領域内の前記半導体層内部に前記第 1 不純物領域と接続して設けられ、前記第 1 不純物領域及び前記第 1 のトレンチ分離構造とともに前記 R E S U R F 分離領域内に前記トレンチ分離領域を区分する第 2 のトレンチ分離構造を更に備える、請求項 1 に記載の半導体装置。

【請求項 3】 前記第 1 のトレンチ分離構造は、

前記第 1 不純物領域から前記第 2 不純物領域に近づく方向に延在する線状部分を含み、

前記線状部分は、

前記 R E S U R F 分離領域内の前記半導体層内部に互いに離れて設けられ、前記線状部分が延在する方向に並ぶ複数の導電性膜と、

複数の前記導電性膜のそれぞれにおける前記半導体層に埋もれている表面を覆う絶縁膜と

を有する、請求項 1 に記載の半導体装置。

【請求項 4】 互いに隣り合う前記導電性膜の間は前記絶縁膜で埋められている、請求項 3 に記載の半導体装置。

【請求項 5】 前記第 1, 2 のトレンチ分離構造のそれぞれは、

前記第 1 不純物領域から前記第 2 不純物領域に近づく方向に延在する線状部分を含み、

前記第 1, 2 のトレンチ分離構造の前記線状部分のそれぞれは、

前記 R E S U R F 分離領域内の前記半導体層内部に互いに離れて設けられ、前記線状部分が延在する方向に並ぶ複数の導電性膜と、

複数の前記導電性膜のそれぞれにおける前記半導体層に埋もれている表面を覆う絶縁膜と

を有する、請求項 2 に記載の半導体装置。

【請求項 6】 前記第 1 のトレンチ分離構造は前記半導体基板にまで延びており、

前記第 1 のトレンチ分離構造の先端の位置は、前記埋め込み不純物領域の下限よりも浅い、請求項 1 に記載の半導体装置。

【請求項 7】 前記第 1 のトレンチ分離構造は、  
前記第 1 不純物領域から前記第 2 不純物領域に近づく方向に延在する線状部分  
を含み、  
前記線状部分は、  
前記 R E S U R F 分離領域内の前記半導体層内部に互いに離れて設けられ、前  
記線状部分が延在する方向に並ぶ複数の導電性膜と、  
複数の前記導電性膜の前記半導体層に埋もれている表面をそれぞれ覆い、互い  
に離れて設けられた複数の絶縁膜と  
を有し、  
前記 R E S U R F 分離領域内の前記半導体層の上面内に設けられ、前記半導体  
層内の複数の前記絶縁膜のそれぞれを取り囲みつつ、互いに隣り合う前記絶縁膜  
の間を埋める前記第 1 導電型の第 4 不純物領域を更に備える、請求項 1 に記載の  
半導体装置。

【請求項 8】 前記第 4 不純物領域と前記半導体層とで形成される P N 接合  
に逆電圧を印加した場合に、前記第 4 不純物領域の全領域が空乏化する、請求項  
7 に記載の半導体装置。

【請求項 9】 前記半導体層の上面から少なくとも前記半導体基板との界面  
付近にかけて前記 R E S U R F 分離領域内の前記半導体層内部に前記第 1 不純物  
領域と接続して設けられ、前記 R E S U R F 分離領域内に前記第 1 不純物領域と  
ともに第 2 のトレンチ分離領域を区分する第 2 のトレンチ分離構造と、

第 2 の M O S トランジスタと  
を更に備え、

前記第 2 の M O S トランジスタは、  
前記第 2 のトレンチ分離領域内の前記半導体層の上面内に設けられた、ドレイ  
ン電極との接続のための前記第 2 導電型の第 4 不純物領域と、  
前記第 1 不純物領域と前記第 4 不純物領域との間の前記半導体層の上面内に設  
けられた前記第 1 導電型の第 5 不純物領域と、  
前記第 5 不純物領域の上面内に設けられた前記第 2 導電型の第 2 のソース領域  
と

を有する、請求項 1 に記載の半導体装置。

【請求項 10】 前記第 1 のトレンチ分離構造の上方に設けられ、前記ドレイン電極と電氣的に接続される配線と、

前記第 1 のトレンチ分離構造と前記配線との間に設けられたフィールドプレートと  
を備え

前記フィールドプレートは、浮遊電極であるか、前記第 1 のトレンチ分離領域内の前記半導体層と電氣的に接続されるか、あるいは前記 R E S U R F 分離領域内であって、かつ前記トレンチ分離領域外の前記半導体層と電氣的に接続される、請求項 1 に記載の半導体装置。

【請求項 11】 前記第 1 不純物領域と前記埋め込み不純物領域との間の前記半導体層の上に設けられた第 2 の絶縁膜と、

前記第 2 の絶縁膜上に設けられた複数のフィールドプレートと  
を更に備え、

複数の前記導電性膜は前記半導体層の上面から露出しており、

複数の前記フィールドプレートは、複数の前記導電性膜とそれぞれ接続されている、請求項 3 に記載の半導体装置。

【請求項 12】 請求項 3 に記載の半導体装置の製造方法であって、

(a) 前記半導体基板上に前記半導体層を形成する工程と、

(b) 前記半導体層の上面から少なくとも前記半導体基板との界面付近にかけて、前記半導体層内部に互いに所定距離を成す複数のトレンチを形成する工程と、

(c) 複数の前記トレンチのそれぞれの内壁を酸化して、複数の前記トレンチのそれぞれの内面に前記絶縁膜を形成する工程と、

(d) 複数の前記トレンチをそれぞれ充填する複数の前記導電性膜を形成する工程と  
を備え、

前記工程 (a) において、互いに隣り合う前記トレンチ間の距離は、前記工程 (c) で形成される前記絶縁膜の膜厚以下に設定される、半導体装置の製造方法



。

【請求項 13】 請求項 7 に記載の半導体装置の製造方法であって、

- (a) 前記半導体基板上に前記半導体層を形成する工程と、
  - (b) 前記半導体層の上面から少なくとも前記半導体基板との界面付近にかけて、前記半導体層内部に互いに離れた複数のトレンチを形成する工程と、
  - (c) 複数の前記トレンチのそれぞれの内壁に対して前記第 1 導電型の不純物を導入して、前記第 4 不純物領域を形成する工程と、
  - (d) 複数の前記トレンチの内面に複数の前記絶縁膜をそれぞれ形成する工程と、
  - (e) 複数の前記トレンチをそれぞれ充填する複数の前記導電性膜を形成する工程と
- を備える、半導体装置の製造方法。

【請求項 14】 請求項 11 に記載の半導体装置の製造方法であって、

- (a) 前記半導体基板上に前記半導体層を形成する工程と、
  - (b) 前記半導体層の上面から少なくとも前記半導体基板との界面付近にかけて、前記半導体層内部に互いに離れた複数のトレンチを形成する工程と、
  - (c) 複数の前記トレンチのそれぞれの内面に前記絶縁膜を形成する工程と、
  - (d) 前記半導体層上に前記第 2 の絶縁膜を形成する工程と、
  - (e) 複数の前記トレンチのそれぞれを充填する導電性材料を前記第 2 の絶縁膜上に形成する工程と、
  - (f) 前記導電性材料をパターンニングして、複数の前記導電性膜と複数の前記フィールトプレートとを同時に形成する工程と
- を備える、半導体装置の製造方法。

【請求項 15】 請求項 3 に記載の半導体装置の製造プロセス評価方法であって、

前記半導体装置には、前記第 1 のトレンチ分離構造における前記線状部分の製造プロセスの評価を行う際にモニタとして利用される複数のテスト構造が設けられており、

複数の前記テスト構造のそれぞれは、

前記半導体層の上面から少なくとも前記半導体基板との界面付近にかけて前記半導体層内部に設けられ、前記半導体層内に所定領域を区分する第2のトレンチ分離構造を備え、

前記第2のトレンチ分離構造は、

前記半導体層内部に互いに離れて設けられた複数の第2の導電性膜と、

複数の前記第2の導電性膜の前記半導体層に埋もれている表面をそれぞれ覆い、互いに離れて設けられた複数の第2の絶縁膜とを有し、

複数の前記テスト構造の間では、互いに隣り合う前記第2の絶縁膜間の距離は互いに異なり、

(a) 複数の前記テスト構造のそれぞれについて、前記第2のトレンチ分離構造に対して前記所定領域とは反対側の前記半導体層と、前記所定領域における前記半導体層との間のリーク電流を測定する工程と、

(b) 前記工程(a)で測定した前記リーク電流を用いて、前記第1のトレンチ分離構造における前記線状部分の製造プロセスを評価する工程とを備える、半導体装置の製造プロセス評価方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

この発明は、RESURF (Reduced Surface Field) 効果を利用した半導体技術に関する。

##### 【0002】

#### 【従来の技術】

RESURF効果を利用して高耐圧を実現する半導体技術が例えば特許文献1に記載されている。特許文献1の図12に示される半導体装置には、nchリソースMOSFETとリソース分離島領域とが形成されている。そして、n-エピタキシャル層2とn<sup>+</sup>埋め込み拡散領域4とがp拡散領域3によって取り囲まれており、上記半導体装置にはRESURF構造が形成されている。

##### 【0003】

特許文献 1 の図 12 に示される半導体装置では、高電位が印加されるアルミ配線 8 が基板電位と同じ電位である p 拡散領域 3 の上方を横切るため、当該アルミ配線 8 からの電界によって RESURF 効果による空乏層の伸びが阻害され、耐圧が低下するという問題があった。

#### 【0004】

そこで、上記問題を解決するために、特許文献 1 の図 1, 2 に示される半導体装置が提案されている。当該半導体装置においては、nc h リサーフ MOSFET とリサーフ分離島領域との間に RESURF 構造がなく、p-基板 1 の一部である幅の狭い領域 1a が介在しており、当該領域 1a の上面は p-基板 1 から露出している。そして、n 拡散領域 12a, 12b に高電位が印加されると、n 拡散領域 12a, 12b に挟まれた領域 1a は空乏化し、領域 1a と n 拡散領域 12a, 12b との間に大きな電位差が生じない。従って、アルミ配線 8 とその下方の p-基板 1 の表面との間の電位差は小さく、上記問題が生じない。

#### 【0005】

なお、RESURF 効果を利用する半導体技術に関しては例えば特許文献 2, 3 及び非特許文献 1 に記載されている。また、周囲から絶縁されたフィールドプレートを多重に形成し、それらの間の容量結合によって半導体基板の表面の電界を安定化させる技術が特許文献 4 に記載されている。更に、モールド樹脂の分極によるリーク電流の発生を防止する技術が特許文献 5 に記載されている。

#### 【0006】

##### 【特許文献 1】

特開平 9-283716 号公報

##### 【特許文献 2】

米国特許第 4292642 号明細書

##### 【特許文献 3】

米国特許第 5801418 号明細書

##### 【特許文献 4】

特開平 5-190693 号公報

##### 【特許文献 5】

特開平 10-12607 号公報

【非特許文献 1】

J.A.Appels et al., "THIN LAYER HIGH-VOLTAGE DEVICES (RESURF DEVICES)", Philips Journal of Research, vol.35, No.1, 1980, pp.1-13

【0007】

【発明が解決しようとする課題】

特許文献 1 の図 1, 2 に示される半導体装置では、n 拡散領域 12a, 12b で挟まれた領域 1a を形成するため、n 拡散領域 12a, 12b を拡散プロセスで形成する必要があった。そのため、本質的にサージ耐圧が低くなる問題がある。

【0008】

そこで、本発明は上述の問題に鑑みて成されたものであり、サージ耐圧を向上することが可能な半導体技術を提供することを目的とする。

【0009】

【課題を解決するための手段】

この発明の半導体装置は、第 1 導電型の半導体基板と、前記半導体基板上に設けられた第 2 導電型の半導体層と、前記半導体層の上面から前記半導体基板との界面にかけて前記半導体層内部に設けられ、RESURF 分離領域を区分する前記第 1 導電型の第 1 不純物領域と、前記半導体層の上面から少なくとも前記半導体基板との界面付近にかけて前記 RESURF 分離領域内の前記半導体層内部に前記第 1 不純物領域と接続して設けられ、前記 RESURF 分離領域内に前記第 1 不純物領域とともにトレンチ分離領域を区分する第 1 のトレンチ分離構造と、前記 RESURF 分離領域内であって、かつ前記トレンチ分離領域外の前記半導体層に設けた半導体素子と、第 1 の MOS トランジスタとを備え、前記第 1 の MOS トランジスタは、前記トレンチ分離領域内の前記半導体層の上面内に設けられた、ドレイン電極との接続のための前記第 2 導電型の第 2 不純物領域と、前記第 1 不純物領域と前記第 2 不純物領域との間の前記半導体層の上面内に設けられた前記第 1 導電型の第 3 不純物領域と、前記第 3 不純物領域の上面内に設けられ

た前記第2導電型の第1のソース領域とを有し、前記第2不純物領域の下方において前記半導体層と前記半導体基板との界面に設けられた、前記半導体層よりも高濃度の前記第2導電型の埋め込み不純物領域を更に備える。

### 【0010】

#### 【発明の実施の形態】

実施の形態1.

図1は本発明の実施の形態1に係る半導体装置100の構成を示すブロック図である。本実施の形態1に係る半導体装置100は、RESURF効果を利用して高耐圧を実現している高耐圧IC(HVIC)であって、例えば、トータムポール接続された2つのIGBT(絶縁ゲート型バイポーラトランジスタ)のうち、高電位側のIGBTを駆動する機能を備えている。

### 【0011】

図1に示されるように、本実施の形態1に係る半導体装置100は、インターフェイス回路101(以後、「I/F回路101」と呼ぶ)と、パルス発生回路102と、高耐圧のnMOSトランジスタ103、104と、制御回路105とを備えている。

### 【0012】

I/F回路101は、半導体装置100の外部から入力される信号HINを波形整形してパルス発生回路102に出力する。パルス発生回路102は、波形整形後の信号HINの立ち下がり及び立ち上がりに基づいてそれぞれパルス信号P1、P2を生成して、nMOSトランジスタ103のゲートにパルス信号P1を、nMOSトランジスタ104のゲートにパルス信号P2をそれぞれ与える。そして、nMOSトランジスタ103、104は、パルス信号P1、P2に基づいてそれぞれオン/オフする。パルス信号P1、P2は、nMOSトランジスタ103、104での消費電力(発熱)を最小限に抑えるために、数百ns程度の狭いパルス幅の信号である。

### 【0013】

I/F回路101及びパルス発生回路102のそれぞれには電源電位VCC及び接地電位GNDが半導体装置100の外部から印加され、これらを電源として

動作する。また、nMOSトランジスタ103, 104のそれぞれのソースには接地電位GNDが与えられる。なお、電源電位VCCは例えば+15Vに設定される。

#### 【0014】

制御回路105は、抵抗106, 107と、インターロック回路108と、RSフリップフロップ回路109と、pMOSトランジスタ110と、nMOSトランジスタ111とを備えている。

#### 【0015】

pMOSトランジスタ110のソースには高電位の電位VBが半導体装置100の外部から与えられる。また電位VBは、nMOSトランジスタ103, 104のドレインにもそれぞれ抵抗106, 107を介して与えられる。

#### 【0016】

インターロック回路108には、nMOSトランジスタ103のドレイン電位V1と、nMOSトランジスタ104のドレイン電位V2とが入力される。インターロック回路108は、ドレイン電位V1, V2に基づいてそれぞれ信号S, Rを生成し、RSフリップフロップ回路109のセット入力に信号Sを、リセット入力に信号Rをそれぞれ入力する。

#### 【0017】

RSフリップフロップ回路109のリセット入力及びセット入力とともにHighレベルの信号が入力されると、通常RSフリップフロップ回路109の出力は不定となる。インターロック回路108はこれを防止する機能を備えている。

#### 【0018】

RSフリップフロップ回路109は、その出力を信号QとしてpMOSトランジスタ110のゲートとnMOSトランジスタ111のゲートに入力する。そして、pMOSトランジスタ110及びnMOSトランジスタ111のそれぞれは信号Qに基づいてオン/オフする。

#### 【0019】

pMOSトランジスタ110のドレインと、nMOSトランジスタ111のドレインとは互いに接続されており、その接続点における電位は信号HOとして半

導体装置 100 の外部に出力される。また、nMOS トランジスタ 111 のソースには半導体装置 100 の外部から電位  $V_S$  が与えられる。

#### 【0020】

電位  $V_B$ 、 $V_S$  は例えば数百 V の電位であって、電位  $V_S$  を基準とした際の電位  $V_B$  は例えば +15 V に設定される。インターロック回路 108 と RS フリップフロップ回路 109 には電位  $V_B$ 、 $V_S$  が与えられ、これらを電源として動作する。

#### 【0021】

半導体装置 100 から出力される信号  $H_O$  は、例えば数百 V の高電位と接地電位との間にトータムポール接続されて介挿された 2 つの IGBT (図示せず) のうち、高電位側の IGBT のゲートに入力され、かかる IGBT は信号  $H_O$  に基づいてオン／オフする。また、電位  $V_S$  は高電位側の IGBT のエミッタにも与えられる。

#### 【0022】

次に、本実施の形態 1 に係る半導体装置 100 の動作について説明する。信号  $H_{IN}$  が立ち上がると、パルス発生回路 102 はパルス信号  $P_2$  を出力する。nMOS トランジスタ 104 のゲートにパルス信号  $P_2$  が与えられると、nMOS トランジスタ 104 がオンして抵抗 107 に電流が流れ、抵抗 107 で電圧降下が生じる。この結果、ドレイン電位  $V_2$  が変化して、電位  $V_B$  とドレイン電位  $V_2$  との間に電位差が発生する。このようにして、パルス信号  $P_2$  が高電位側にレベルシフトする。

#### 【0023】

インターロック回路 108 はドレイン電位  $V_2$  の変化を検出すると、RS フリップフロップ回路 109 のリセット入力に Low レベルの信号  $R$  を、セット入力に High レベルの信号  $S$  をそれぞれ出力する。これにより、RS フリップフロップ回路 109 の出力である信号  $Q$  が Low レベルとなり、pMOS トランジスタ 110 がオン、nMOS トランジスタ 111 がオフし、High レベルの信号  $H_O$  が半導体装置 100 の外部に出力される。そして、高電位側の IGBT が信号  $H_O$  によってオンする。

## 【0024】

一方、信号H I Nが立ち下がると、パルス発生回路102はパルス信号P1を出力する。nMOSトランジスタ103のゲートにパルス信号P1が与えられると、nMOSトランジスタ103がオンして抵抗106に電流が流れ、抵抗106で電圧降下が生じる。この結果、ドレイン電位V1が変化して、電位VBとドレイン電位V1との間に電位差が発生する。このようにして、パルス信号P1が高電位側にレベルシフトする。

## 【0025】

インターロック回路108はドレイン電位V1の変化を検出すると、RSフリップフロップ回路109のセット入力にLowレベルの信号Sを、リセット入力にHighレベルの信号Rをそれぞれ出力する。これにより、RSフリップフロップ回路109の出力である信号QがHighレベルとなり、pMOSトランジスタ110がオフ、nMOSトランジスタ111がオンし、Lowレベルの信号HOが半導体装置100の外部に出力される。そして、高電位側のIGBTが信号HOによってオフする。

## 【0026】

このように、本実施の形態1に係る半導体装置100は、高電位側のIGBTのスイッチング動作を制御することができる。

## 【0027】

次に半導体装置100の構造について説明する。図2は本発明の実施の形態1に係る半導体装置100の構造を示す平面図であって、図3は図2の矢視D-Dにおける断面図である。なお図2では、説明の便宜上、図3のn-半導体層2よりも上方の構造（分離絶縁膜10を含む）を省略している。

## 【0028】

図2、3に示されるように、p-半導体基板1上にはn-半導体層2が設けられている。n-半導体層2は、例えばシリコンから成るエピタキシャル層である。n-半導体層2の上面には例えばシリコン酸化膜から成る分離絶縁膜10が形成されている。n-半導体層2の上面からp-半導体基板1との界面にかけて、p不純物領域3がn-半導体層2内部に設けられている。p不純物領域3はn-半導体



層 2 の一部を取り囲んでおり、上述の nMOS トランジスタ 103 と制御回路 105 とが配置される RESURF 分離領域 A を n-半導体層 2 に区分している。

#### 【0029】

n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて RESURF 分離領域 A 内の n-半導体層 2 内にトレンチ分離構造 8a が設けられている。トレンチ分離構造 8a は p 不純物領域 3 と接続されており、p 不純物領域 3 とともに RESURF 分離領域 A 内の n-半導体層 2 の一部を取り囲んでいる。このようにして、p 不純物領域 3 及びトレンチ分離構造 8a でもって、nMOS トランジスタ 103 が配置されるトレンチ分離領域 B が RESURF 分離領域 A 内の n-半導体層 2 に区分されている。なお、RESURF 分離領域 A におけるトレンチ分離領域 B 以外の領域には制御回路 105 が配置され、この領域を「制御回路形成領域 C」と呼ぶ。

#### 【0030】

n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて RESURF 分離領域 A 内の n-半導体層 2 内にトレンチ分離構造 8b が設けられている。トレンチ分離構造 8b は RESURF 分離領域 A の周縁に沿って延在しており、その表面のうち、n-半導体層 2 の上面から露出している部分以外は、p 不純物領域 3 によって取り囲まれている。更にトレンチ分離構造 8b はトレンチ分離構造 8a と連結している。

#### 【0031】

トレンチ分離構造 8a は導電性膜 8aa と絶縁膜 8ab とから成り、トレンチ分離構造 8b は導電性膜 8ba と絶縁膜 8bb とから成る。導電性膜 8aa, 8ba は互いに連結しており、それぞれは例えばポリシリコンから成る。そして、各導電性膜 8aa, 8ba は n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて n-半導体層 2 内部に設けられている。

#### 【0032】

絶縁膜 8ab は、導電性膜 8aa の表面のうち、n-半導体層 2 の上面から露出している部分以外、つまり n-半導体層 2 及び p-半導体基板 1 に埋もれている表面を覆っている。絶縁膜 8bb は、導電性膜 8ba の表面のうち、n-半導体

層 2 の上面から露出している部分以外を覆っている。絶縁膜 8 a b, 8 b b は互いに連結しており、それぞれは例えばシリコン酸化膜から成る。

#### 【0033】

制御回路形成領域 C においては、n-半導体層 2 と p-半導体基板 1 との界面に n+埋め込み不純物領域 20 が選択的に設けられている。n+埋め込み不純物領域 20 の上方の n-半導体層 2 の上面内には、制御回路 105 の抵抗 106 として機能する p+不純物領域 30 と、n+不純物領域 31 とが互いに隣接して設けられている。図 3 では、制御回路 105 のうち、インターロック回路 108 が有する CMOS トランジスタを構成する nMOS トランジスタ QN と、pMOS トランジスタ QP とが示されている。

#### 【0034】

制御回路形成領域 C における n-半導体層 2 の内部には、n-半導体層 2 の上面から n+埋め込み不純物領域 20 にかけてトレンチ分離構造 21 が形成されており、このトレンチ分離構造 21 によって、p+不純物領域 30 及び n+不純物領域 31 と、nMOS トランジスタ QN と、pMOS トランジスタ QP とが互いに分離されている。

#### 【0035】

トレンチ分離構造 21 は導電性膜 21 a と絶縁膜 21 b とから成る。導電性膜 21 a は、n-半導体層 2 の上面から n+埋め込み不純物領域 20 にかけて n-半導体層 2 内部に設けられている。絶縁膜 21 b は、導電性膜 21 a の表面のうち、n-半導体層 2 の上面から露出している部分以外を取り囲んでいる。

#### 【0036】

n+埋め込み不純物領域 20 の上方の n-半導体層 2 の上面内には p ウェル領域 22 が設けられており、そこに nMOS トランジスタ QN が形成されている。p ウェル領域 22 の上面内には nMOS トランジスタ QN のソース領域及びドレイン領域としてそれぞれ機能する n+不純物領域 23, 24 が設けられている。n+不純物領域 23, 24 に挟まれた p ウェル領域 22 の上方にはゲート電極 26 が設けられている。n+不純物領域 23 の隣りには、p ウェル領域 22 の上面内に設けられた p+不純物領域 25 が分離絶縁膜 10 を介して配置されている。

## 【0037】

pMOSトランジスタQPは、トレンチ分離構造21を介してnMOSトランジスタQNの隣りに配置されている。n<sup>+</sup>埋め込み不純物領域20の上方のn-半導体層2の上面内には、pMOSトランジスタQPのソース領域及びドレイン領域としてそれぞれ機能するp<sup>+</sup>不純物領域33、34が設けられている。p<sup>+</sup>不純物領域33、34に挟まれたn-半導体層2の上方にはゲート電極36が設けられている。p<sup>+</sup>不純物領域33の隣りには、n-半導体層2の上面内に設けられたp<sup>+</sup>不純物領域35が分離絶縁膜10を介して配置されている。なお、トレンチ分離構造21の上面は分離絶縁膜10で覆われている。

## 【0038】

トレンチ分離領域B内のn-半導体層2の上面内には、n<sup>+</sup>不純物領域7が設けられている。n<sup>+</sup>不純物領域7とp不純物領域3との間のn-半導体層2の上面内にはp<sup>+</sup>不純物領域6が設けられている。p<sup>+</sup>不純物領域6の上面内には、n<sup>+</sup>不純物領域であるnMOSトランジスタ103のソース領域5が設けられている。p<sup>+</sup>不純物領域6とn<sup>+</sup>不純物領域7との間のn-半導体層2と、n<sup>+</sup>不純物領域7とはnMOSトランジスタ103のドレイン領域として機能する。n<sup>+</sup>不純物領域7の下方におけるn-半導体層2とp-半導体基板1との界面には選択的にn<sup>+</sup>埋め込み不純物領域4が設けられている。n<sup>+</sup>埋め込み不純物領域4は、n-半導体層2よりも不純物濃度が高い。

## 【0039】

p<sup>+</sup>不純物領域6とn<sup>+</sup>不純物領域7との間のn-半導体層2の上には分離絶縁膜10を介して、MOSトランジスタ103のゲート電極9と、フィールドプレート12a～12cとが設けられている。ゲート電極9及びフィールドプレート12a～12cは、p<sup>+</sup>不純物領域6からn<sup>+</sup>不純物領域7へと向かう方向に沿って順に配置されており、フィールドプレート12a、12bはRESURF分離領域Aの周縁に沿って延在している。

## 【0040】

ゲート電極9はp不純物領域6の端部を接触することなく覆っており、ゲート電位が与えられる。フィールドプレート12cはn<sup>+</sup>不純物領域7の端部に接触

している。フィールドプレート 12a, 12b は、周囲から絶縁されている浮遊電極であり、ゲート電極 9 とフィールドプレート 12c との間に介在してこれらと静電結合することにより、nMOS トランジスタ 103 のソースとドレインとの間の電位差に基づく n-半導体層 2 の上面での電界を緩和する機能を果たす。

#### 【0041】

p+不純物領域 30 と、n+不純物領域 7 との間の n-半導体層 2 の上には分離絶縁膜 10 を介してフィールドプレート 13 が設けられている。図 4 は図 1 のトレンチ分離領域 B 付近を拡大して示す平面図である。図 4 では、n-半導体層 2 の上方に位置する構造のうち、フィールドプレート 13 と、その上方に配置される配線 15 と、ゲート電極 9 と、ドレイン電極 14 とを示している。また、図 4 の矢視 E-E における断面構造が図 3 の左側半分に示されている。

#### 【0042】

図 3, 4 に示されるように、フィールドプレート 13 は、p+不純物領域 30 と、n+不純物領域 7 との間のトレンチ分離構造 8a の上方に位置しており、n+不純物領域 7 の端部と接触している。これにより、フィールドプレート 13 はトレンチ分離領域 B 内の n-半導体層 2 と電氣的に接続される。

#### 【0043】

ゲート電極 9 及びフィールドプレート 12a ~ 12c, 13 は、例えばポリシリコンから成る。トレンチ分離構造 8a, 8b 及び p 不純物領域 3 の上面は分離絶縁膜 10 で覆われている。

#### 【0044】

n-半導体層 2、分離絶縁膜 10、ゲート電極 9, 26, 36、及びフィールドプレート 12a ~ 12c, 13 を覆うように絶縁膜 18 が形成されている。p+不純物領域 6 とソース領域 5 とに接触する MOS トランジスタ 103 のソース電極 11 と、n+不純物領域 7 に接触する MOS トランジスタ 103 のドレイン電極 14 とは、それぞれ絶縁膜 18 を貫通して設けられている。

#### 【0045】

p+不純物領域 30 の一方の端部に接触する電極 16 は絶縁膜 18 を貫通して設けられており、ドレイン電極 14 と配線 15 で接続されている。配線 15 は例

例えばアルミニウムから成り、フィールドプレート 13 の上方に位置している。

#### 【0046】

p<sup>+</sup>不純物領域 30 の他方の端部と、n<sup>+</sup>不純物領域 31 とに接触する電極 17 は絶縁膜 18 を貫通して設けられている。p<sup>+</sup>不純物領域 25 及び n<sup>+</sup>不純物領域 23, 24 にそれぞれ接触する電極 29, 28, 27 は絶縁膜 18 を貫通して設けられており、n<sup>+</sup>不純物領域 35 及び p<sup>+</sup>不純物領域 33, 34 にそれぞれ接触する電極 39, 38, 37 は絶縁膜 18 を貫通して設けられている。

#### 【0047】

ソース電極 11、ドレイン電極 14、電極 16, 17, 27~29, 37~39 は例えばアルミニウムから成る。なお図 3 では、MOS トランジスタ 103 のゲート絶縁膜と、制御回路 105 の nMOS トランジスタ QN 及び pMOS トランジスタ QP のゲート絶縁膜とは、図面の煩雑さを避けるために、絶縁膜 18 に含めて示している。

#### 【0048】

ソース電極 11、ドレイン電極 14、電極 16, 17, 27~29, 37~39 及び絶縁膜 18 を覆って絶縁膜 40 が設けられている。

#### 【0049】

なお図示していないが、本実施の形態 1 に係る半導体装置 100 が備える、nMOS トランジスタ 103 及び制御回路 105 以外の構成要素、すなわち、I/F 回路 101、パルス発生回路 102 及び nMOS トランジスタ 104 は、RESURF 分離領域 A 外の n-半導体層 2 に設けられている。

#### 【0050】

電極 17 には電位 V<sub>B</sub> が与えられる。ゲート電極 9 にプラスの電位が与えられると、nMOS トランジスタ 103 がオン状態となり、p<sup>+</sup>不純物領域 30 に流れる電流によって電極 17 と配線 15 との間に電位差が生じる。この電位差が検出されることによって、ゲート電極 9 に与えられたロジック信号、つまりパルス信号 P1 が高電位側にレベルシフトする。

#### 【0051】

本実施の形態 1 に係る半導体装置 100 では、電極 17 及び p-半導体基板 1

にそれぞれ電位  $V_B$  及び接地電位  $GND$  が与えられると、RESURF 効果によって  $p$  不純物領域 3 から制御回路 105 の方向に向って空乏層が延びる。この結果、RESURF 分離領域 A の周縁に沿って空乏層が形成され、制御回路 105 が当該空乏層によって取り囲まれる。これにより、高耐圧の制御回路 105 を実現している。

#### 【0052】

またトレンチ分離領域 B においては、 $p$  不純物領域 3 と  $n^+$  埋め込み不純物領域 4 との間の  $n$ -半導体層 2 にはほぼ全域に空乏層が形成される。これにより、高耐圧の  $nMOS$  トランジスタ 103 を実現している。

#### 【0053】

次に、トレンチ分離構造 8a, 8b, 21 の形成方法について説明する。トレンチ分離構造 8a, 8b, 21 の形成方法は互いに同じであるため、代表してトレンチ分離構造 8a の形成方法を図 5～7 を参照して説明する。図 5～7 は、図 3 に示される、 $n^+$  埋め込み不純物領域 4, 20 の間の領域に相当する部分を拡大して示す断面図である。

#### 【0054】

まず図 5 に示されるように、異方性エッチング法を用いて  $n$ -半導体層 2 をその上面から掘り込んで、 $n$ -半導体層 2 と  $p$ -半導体基板 1 との界面に達するトレンチ 8ac を形成する。そして図 6 に示されるように、トレンチ 8ac の内壁と  $n$ -半導体層 2 の上面とを酸化して、トレンチ 8ac の内面と  $n$ -半導体層 2 の上面とに絶縁膜材料 8ad を形成する。次に、トレンチ 8ac を充填する導電性材料 8ae を絶縁膜材料 8ad 上に形成する。なお、導電性材料 8ae は例えばポリシリコンから成る。

#### 【0055】

次にトレンチ 8ac よりも上方の絶縁膜材料 8ad 及び導電性材料 8ae を除去する。これにより、図 7 に示されるように、ポリシリコンから成る導電性膜 8aa とシリコン酸化膜から成る絶縁膜 8ab とを有するトレンチ分離構造 8a が完成する。その後、トレンチ分離構造 8a の上面と  $n$ -半導体層 2 の上面の上に分離絶縁膜 10 が形成される。

**【0056】**

このように本実施の形態1に係る半導体装置100によれば、p不純物領域3によって区分された一つのRESURF分離領域A内に、nMOSトランジスタ103と制御回路105とが設けられている。そのため、nMOSトランジスタ103と、制御回路105の抵抗106とを互いに接続する際に、高電位の配線15がp不純物領域3の上方を通ることがない。その結果、RESURF効果によって生じるn-半導体層2での空乏層の広がりが増害されることなく、設計当初に確保した耐圧が維持される。

**【0057】**

また、nMOSトランジスタ103は、p不純物領域3とトレンチ分離構造8aによって取り囲まれたトレンチ分離領域Bに形成されているため、nMOSトランジスタ103が形成されているn-半導体層2と、制御回路105が形成されているn-半導体層2とが相互に絶縁されている。従って、nMOSトランジスタ103のソースとドレイン間の電流が制御回路形成領域Cにおけるn-半導体層2にリークするのを抑制することができ、電位VBが印加される電極17と、nMOSトランジスタ103のドレイン電極14との短絡を防止することができる。その結果、nMOSトランジスタ103のゲート電極9に与えられるパルス信号P1を確実に高電位側にレベルシフトすることができる。

**【0058】**

更に、ドレイン電極14と接続されるn+不純物領域7の下方には、n-半導体層2よりも高濃度のn+埋め込み不純物領域4が形成されているため、ドレイン電極14に高電位が印加された場合のサージ耐圧が向上する。

**【0059】**

また本実施の形態1では、トレンチ分離構造8aと配線15との間にフィールドプレート13が設けられているため、配線15からのトレンチ分離構造8aへの電界が遮蔽される。この結果、配線15からの電界による耐圧低下を抑制できる。

**【0060】**

なお本実施の形態1では、トレンチ分離構造8a、8b、21は導電性膜と絶

縁膜とで構成されているが、絶縁膜だけで構成してもよい。この場合の形成方法をトレンチ分離構造 8 a を例に挙げて説明する。図 8 は図 5 ～ 7 と同様に、図 3 に示される、 $n^+$ 埋め込み不純物領域 4, 20 の間の領域に相当する部分を拡大して示す断面図である。

#### 【0061】

まず図 5 を参照して説明したようにトレンチ 8 a c を形成する。そして、トレンチ 8 a c を充填する絶縁膜 4 5 を  $n$ -半導体層 2 上に形成する。なお、絶縁膜 4 5 は例えばシリコン酸化膜である。これにより、絶縁膜 4 5 から成るトレンチ分離構造 8 a が形成され、同時に絶縁膜 4 5 から成る分離絶縁膜 10 が形成される。

#### 【0062】

また本実施の形態 1 では、トレンチ分離構造 8 a を  $n$ -半導体層 2 の上面から、 $n$ -半導体層 2 と  $p$ -半導体基板 1 との界面にまで達するように形成していたが、図 9 に示されるように、必ずしも  $p$ -半導体基板 1 にまで達する必要はない。

#### 【0063】

図 9 に示されるように、トレンチ分離構造 8 a が  $p$ -半導体基板 1 にまで到達していないと、 $n$ MOS トランジスタ 103 のソースとドレイン間の電流 46 の一部が、制御回路形成領域 C における  $n$ -半導体層 2 に漏れるため、 $n$ MOS トランジスタ 103 がオンした場合の電極 17 とドレイン電極 14 との電位差、つまり電位  $V_B$  とドレイン電位  $V_1$  との電位差は減少する。

#### 【0064】

しかしながら、トレンチ分離構造 8 a が  $n$ -半導体層 2 と  $p$ -半導体基板 1 との界面付近にまで延びていれば、リーク電流の電流経路は狭く、その部分の寄生抵抗は大きいので、リーク電流による電極 17 とドレイン電極 14 との電位差の減少を無視することができる。言い換えれば、リーク電流による電極 17 とドレイン電極 14 との間の電位差の減少が半導体装置の動作にほとんど影響を与えない程度にまで、トレンチ分離構造 8 a の先端を、 $n$ -半導体層 2 と  $p$ -半導体基板 1 との界面に近づける。具体的には、電極 17 とドレイン電極 14 との電位差を検出するインターロック回路 108 のしきい値よりも、当該電位差が下回らないよ



うに、トレンチ分離構造 8 a の先端と p-半導体基板 1 の上面との距離を設定する。なお、nMOS トランジスタ 103 のソースとドレイン間の電流 46 を以後「MOS 電流 46」と呼ぶ。

#### 【0065】

このように、トレンチ分離構造 8 a は、少なくとも n-半導体層 2 と p-半導体基板 1 との界面付近にまで延びていれば良いため、トレンチ分離構造 8 a を形成する際に設けられる上述のトレンチ 8 a c も、必ずしも p-半導体基板 1 に達している必要は無く、n-半導体層 2 の上面から少なくとも p-半導体基板 1 との界面付近にまで延びていれば良い。

#### 【0066】

一方、図 10 に示されるように、トレンチ分離構造 8 a が p-半導体基板 1 の上面よりも深く形成され、更に n<sup>+</sup>埋め込み不純物領域 4, 20 の下限よりも十分に深く形成された場合には、以下の問題が生じる。

#### 【0067】

p-半導体基板 1 及び n-半導体層 2 に、それぞれ接地電位 GND 及び電位 V<sub>B</sub> が印加された場合、p-半導体基板 1 にも空乏層が形成される。図 10 の破線 47 はその空乏層端を示している。トレンチ分離構造 8 a の下方の先端が空乏層端よりも深い位置にある場合、かかる先端は p-半導体基板 1 と同電位、つまり接地電位 GND になる。従って、n-半導体層 2 と p-半導体基板 1 との間には、トレンチ分離構造 8 a における導電性膜 8 a a の側面上の絶縁膜 8 a b と、導電性膜 8 a a と、導電性膜 8 a a の底面上の絶縁膜 8 a b とを通過してリーク電流が流れやすくなる。図 10 では、このリーク電流の経路を電流経路 44 として示している。

#### 【0068】

そして、導電性膜 8 a a はポリシリコンから成り、シリコン酸化膜から成る絶縁膜 8 a b よりも電気伝導度が非常に高いため、p-半導体基板 1 と n-半導体層 2 との間の絶縁性を実質的に維持しているのは、導電性膜 8 a a の側面上の絶縁膜 8 a b と導電性膜 8 a a の底面上の絶縁膜 8 a b である。なお図 10 では、n-半導体層 2 と、導電性膜 8 a a と、それらの間に位置する絶縁膜 8 a b とで構

成される静電容量をコンデンサ 44a で等価的に表しており、導電性膜 8aa と、p-半導体基板 1 と、それらの間に位置する絶縁膜 8ab とで構成される静電容量をコンデンサ 44b で等価的に表している。

#### 【0069】

例えば、電位  $V_B$  が 600 V に設定され、n-半導体層 2 に 600 V が印加された場合、p-半導体基板 1 と n-半導体層 2 との間の絶縁性を維持している一方の絶縁膜 8ab には 300 V の電位が印加されることになる。この電位に対する絶縁耐量を確保するためには、最低 300 nm の厚い絶縁膜 8ab が必要となる。また、長時間の信頼性を考えると、その倍以上の厚さの絶縁膜 8ab が要求される。

#### 【0070】

ウェハプロセスの制約上、上記トレンチ 8ac の内面に厚い絶縁膜 8ab を形成しがたい場合には、半導体装置 100 の耐圧が絶縁膜 8ab の絶縁耐量で決定され、1000 V 以上の電位に耐えることができる半導体装置 100 を実現することが困難である。

#### 【0071】

従って、図 11 に示されるように、トレンチ分離構造 8a の先端の位置を  $n^+$  埋め込み不純物領域 4, 20 の下限よりも浅い位置に設定することが望ましい。このように設定することによって、トレンチ分離構造 8a の先端は空乏層に取り込まれやすくなる。空乏層内の p-半導体基板 1 は電位勾配を持つため、n-半導体層 2 とトレンチ分離構造 8a の先端とに上記のような電位差が生じにくくなる。従って、絶縁膜 8ab の膜厚を厚くする必要がなく、半導体装置 100 の高耐圧化が容易になる。

#### 【0072】

また本実施の形態 1 では、フィールドプレート 13 はトレンチ分離領域 B における n-半導体層 2 に電氣的に接続されていたが、その代わりに、図 12 に示されるように、周囲から絶縁された浮遊電極で、つまりフローティングでフィールドプレート 13 を構成しても良い。またフィールドプレート 13 を、トレンチ分離領域 B における n-半導体層 2 に電氣的に接続する代わりに、制御回路形成領

域における n-半導体層 2 に電氣的に接続させても良い。具体的には、図 13 に示されるように、配線 15 とトレンチ分離構造 8a との間に設けられたフィールドプレート 13 に接触する電極 42 を絶縁膜 18 を貫通して設けて、絶縁膜 18 上に設けた配線 43 でもって電極 42 と電極 17 とを接続する。なお、電極 42 及び配線 43 のそれぞれは例えばアルミニウムからなる。これにより、フィールドプレート 13 が制御回路形成領域における n-半導体層 2 に電氣的に接続される。

#### 【0073】

図 12, 13 に示される構造であっても、配線 15 からのトレンチ分離構造 8a への電界が遮蔽され、配線 15 からの電界による耐圧低下を抑制できる。

#### 【0074】

また本実施の形態 1 では、RESURF 分離領域 A の周縁に沿って延在するトレンチ分離構造 8b を設けているが、トレンチ分離構造 8a を p 不純物領域 3 に繋げることによって、トレンチ分離領域 B 内の n-半導体層 2 と、制御回路形成領域 C 内の n-半導体層 2 とを相互に絶縁することができるため、トレンチ分離構造 8b を設けなくても良い。

#### 【0075】

実施の形態 2.

図 14 は本発明の実施の形態 2 に係る半導体装置の構造を示す断面図であって、図 15 はその平面図を示している。図 14 は図 2 の矢視 D-D に相当する位置での断面図である。図 15 ではゲート電極 9 以外の n-半導体層 2 よりも上方の構造（分離絶縁膜 10 を含む）を省略している。図 15 の矢視 F-F における断面構造が図 14 の左側半分に示されている。

#### 【0076】

本実施の形態 2 に係る半導体装置は、上述の実施の形態 1 に係る半導体装置において、トレンチ分離構造 8c, 8d を更に備えるものである。

#### 【0077】

図 14, 15 に示されるように、トレンチ分離構造 8a と n+埋め込み不純物領域 4 との間の n-半導体層 2 の内部には、その上面から p-半導体基板 1 との界

面にかけてトレンチ分離構造 8 c がトレンチ分離構造 8 a と所定距離を成して設けられている。そして、トレンチ分離構造 8 a と n<sup>+</sup>埋め込み不純物領域 20 との間の n-半導体層 2 の内部には、その上面から p-半導体基板 1 との界面にかけてトレンチ分離構造 8 d がトレンチ分離構造 8 a と所定距離を成して設けられている。

#### 【0078】

トレンチ分離構造 8 c, 8 d は p 不純物領域 3 と接続されており、トレンチ分離構造 8 a 及び p 不純物領域 3 とともに、nMOS トランジスタ 103 が形成されるトレンチ分離領域 B を n-半導体層 2 に区分している。

#### 【0079】

トレンチ分離構造 8 c は導電性膜 8 c a と絶縁膜 8 c b とから成り、トレンチ分離構造 8 d は導電性膜 8 d a と絶縁膜 8 d b とから成る。各導電性膜 8 c a, 8 d a は、例えばポリシリコンから成り、n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて n-半導体層 2 内部に設けられている。絶縁膜 8 c b は、導電性膜 8 c a の表面のうち、n-半導体層 2 及び p-半導体基板 1 に埋もれている表面を覆っており、絶縁膜 8 d b は、導電性膜 8 d a の表面のうち、n-半導体層 2 及び p-半導体基板 1 に埋もれている表面を覆っている。絶縁膜 8 c b, 8 d b は例えばシリコン酸化膜から成る。その他の構造については実施の形態 1 に係る半導体装置と同じであるため、その説明は省略する。

#### 【0080】

上述のように本実施の形態 2 に係る半導体装置では、トレンチ分離構造 8 a, 8 c, 8 d が多重構造を成しているため、nMOS トランジスタ 103 のソースとドレイン間の電流が制御回路形成領域 C における n-半導体層 2 に更に漏れにくくなる。従って、nMOS トランジスタ 103 のゲート電極 9 に与えられるパルス信号 P1 を更に確実に高電位側にレベルシフトすることができる。

#### 【0081】

実施の形態 3.

上述の実施の形態 1 では、半導体装置 100 の耐压性能を更に向上しようとした場合に、接地電位 GND が印加される p 不純物領域 3 と、高電位が印加される

n<sup>+</sup>不純物領域 7 との間の絶縁性が問題となることがある。以下にその問題について図 16 を参照して説明する。

#### 【0082】

図 16 は実施の形態 1 に係る半導体装置 100 の構造を示す平面図であって、図 4 に示される構造からフィールドプレート 13 と、配線 15 と、ドレイン電極 14 との記載を省略したものを示している。

#### 【0083】

上述のように、n<sup>+</sup>不純物領域 7 及び p 不純物領域 3 にそれぞれ高電位及び接地電位 GND が印加されると、p 不純物領域 3 と n<sup>+</sup>埋め込み不純物領域 4 との間の n-半導体層 2 のほぼ全域に空乏層が形成される。そのため、n<sup>+</sup>不純物領域 7 と p 不純物領域 3 との間では、トレンチ分離構造 8a の線状部分 80a と、それに接続されているトレンチ分離構造 8b とを通過してリーク電流が流れやすくなる。図 16 では、このリーク電流の経路を電流経路 48 として示している。

#### 【0084】

ここで、線状部分 80a は、図 16 に示されるように、ソース領域 5 から n<sup>+</sup>不純物領域 7 に向う方向に沿って p 不純物領域 3 から延びている。言い換えれば、p 不純物領域 3 から n<sup>+</sup>不純物領域 7 に近づく方向に延在している。そして、トレンチ分離構造 8a はトレンチ分離領域 B における n-半導体層 2 を間に挟んで互いに対向する 2 つの線状部分 80c を有している。

#### 【0085】

線状部分 80a の導電性膜 8aa と、トレンチ分離構造 8b の導電性膜 8ba とは相互に接続されており、導電性膜 8aa、8ba は絶縁膜 8ab、8bb よりも電気伝導度が非常に高い。そのため、n<sup>+</sup>不純物領域 7 と p 不純物領域 3 との間の絶縁性を維持しているのは、実質的に線状部分 80a における導電性膜 8aa の側面上の絶縁膜 8ab と、導電性膜 8ba の側面上の絶縁膜 8bb である。なお図 16 では、n-半導体層 2 と、導電性膜 8aa と、それらの間に位置する絶縁膜 8ab とで構成される静電容量をコンデンサ 48a で等価的に表しており、導電性膜 8ba と、p 不純物領域 3 と、それらの間に位置する絶縁膜 8bb とで構成される静電容量をコンデンサ 48b で等価的に表している。

## 【0086】

従って、実施の形態1で説明したように、例えばn-半導体層2に600Vの高電位が印加される場合、非常に厚い絶縁膜8ab, 8bbが必要となる。ウェハプロセスの制約上、厚い絶縁膜8ab, 8bbを形成しがたい場合には、高耐圧の半導体装置100を実現することが困難になる。

## 【0087】

そこで本実施の形態3では、p不純物領域3とn+不純物領域7との間の絶縁性を向上することができる技術を提案する。

## 【0088】

図17は本実施の形態3に係る半導体装置の構造を示す平面図であって、図18は図17の矢視G-Gにおける断面図である。本実施の形態3に係る半導体装置は、上述の実施の形態1に係る半導体装置において、トレンチ分離構造8aの線状部分80aを点線状に形成したものである。以下に具体的に説明する。なお図17は、ゲート電極9以外のn-半導体層2よりも上方の構造（分離絶縁膜10を含む）を省略したものである。

## 【0089】

図17, 18に示されるように、トレンチ分離構造8aの線状部分80aでは、導電性膜8aaが複数に分割されており、それらは互いに離れて設けられている。そして、導電性膜8aaの表面のうち、n-半導体層2及びp-半導体基板1に埋もれている表面を覆う絶縁膜8abが、導電性膜8aaごとに設けられている。また、互いに隣り合う絶縁膜8abにおいては、一方の絶縁膜8abの導電性膜8aaとは反対側の側面と、それと対向する、他方の絶縁膜8abの導電性膜8aaとは反対側の側面とは、互いに所定距離dを成している。

## 【0090】

このように本実施の形態3に係る半導体装置によれば、トレンチ分離構造8aの線状部分80aは互いに離れた複数の導電性膜8aaを含み、更に各導電性膜8aaのn-半導体層2に埋もれている表面は絶縁膜8abで覆われている。そのため、線状部分80aを通して流れやすい、n+不純物領域7とp不純物領域3との間のリーク電流は、各導電性膜8aaに設けられた絶縁膜8abを通して

流れるようになる。従って、実施の形態 1 に係る半導体装置 100 のように線状部分 80a の導電性膜 8aa が分割されていない場合よりも、かかるリーク電流が通過する絶縁膜 8ab の個数が増大する。その結果、n<sup>+</sup>不純物領域 7 と p 不純物領域 3 との間のリーク電流の経路には、等価的には、上記コンデンサ 48a, 48b 以外に、直列に相互に接続された複数のコンデンサが存在することになる。従って、リーク電流が流れにくくなり n<sup>+</sup>不純物領域 7 と p 不純物領域 3 との間の絶縁性が向上し、より高耐压の半導体装置を実現しやすくなる。

#### 【0091】

本実施の形態 3 では、線状部分 80a における互いに隣り合う絶縁膜 8ab が距離 d を成して相互に離れている。そのため、図 17 に示されるように、MOS 電流 46 の一部 46a が、互いに隣り合う絶縁膜 8ab 間の隙間を通して制御回路形成領域 C における n-半導体層 2 にリークしてしまう。そのため、nMOS トランジスタ 103 がオンした場合の電極 17 とドレイン電極 14 との電位差が減少してしまう。そこで、この電位差の減少が半導体装置の動作に影響をほとんど与えないようになるように、互いに隣り合う絶縁膜 8ab の距離 d の値を設定する。なお、制御回路形成領域 C における n-半導体層 2 にリークする、MOS 電流 46 の一部 46a を以後「リーク電流 46a」と呼ぶ。

#### 【0092】

本実施の形態 3 では、実施の形態 1 に係るトレンチ分離構造 8a を部分的に点線状に形成したが、図 15 に示される実施の形態 2 に係るトレンチ分離構造 8a, 8c, 8cd をそれぞれ部分的に点線状にしても良い。図 19 はこの場合の実施の形態 2 に係る半導体装置の構造を示す平面図である。

#### 【0093】

図 19 に示されるように、トレンチ分離構造 8a は図 17 に示されるトレンチ分離構造 8a と同様に点線状に形成されている。そして、トレンチ分離構造 8c の線状部分 80c では、導電性膜 8ca が複数に分割されており、それらは互いに離れて設けられている。また、トレンチ分離構造 8d の線状部分 80d では、導電性膜 8da が複数に分割されており、それらは互いに離れて設けられている。

## 【0094】

ここで線状部分 80c は、線状部分 80a と同様に、p 不純物領域 3 から n<sup>+</sup> 不純物領域 7 に近づく方向に延在している。そして、トレンチ分離構造 8c はトレンチ分離領域 B における n-半導体層 2 を間に挟んで互いに対向する 2 つの線状部分 80c を有している。また、線状部分 80d は、線状部分 80a, c と同様に、p 不純物領域 3 から n<sup>+</sup> 不純物領域 7 に近づく方向に延在している。そして、トレンチ分離構造 8d はトレンチ分離領域 B における n-半導体層 2 を間に挟んで互いに対向する 2 つの線状部分 80d を有している。

## 【0095】

トレンチ分離構造 8c の線状部分 80c においては、導電性膜 8ca の表面のうち、n-半導体層 2 及び p-半導体基板 1 に埋もれている表面を覆う絶縁膜 8cb が、導電性膜 8ca ごとに設けられている。そして、互いに隣り合う絶縁膜 8cb においては、一方の絶縁膜 8cb の導電性膜 8ca とは反対側の側面と、それと対向する、他方の絶縁膜 8cb の導電性膜 8ca とは反対側の側面とは、互いに所定距離 d を成している。

## 【0096】

トレンチ分離構造 8d の線状部分 80d においては、導電性膜 8da の表面のうち、n-半導体層 2 及び p-半導体基板 1 に埋もれている表面を覆う絶縁膜 8db が、導電性膜 8da ごとに設けられている。そして、互いに隣り合う絶縁膜 8db においては、一方の絶縁膜 8db の導電性膜 8ca とは反対側の側面と、それと対向する、他方の絶縁膜 8db の導電性膜 8da とは反対側の側面とは、互いに所定距離 d を成している。

## 【0097】

このように、上述の実施の形態 2 に係る半導体装置において、トレンチ分離構造 8a, 8c, 8d の一部をそれぞれ点線状に形成することによって、リーク電流 46a が減少する。これは、MOS 電流 46 が制御回路形成領域 C における n-半導体層 2 にリークするためには、絶縁膜 8ab 間の隙間のみならず、絶縁膜 8cb 間の隙間と、絶縁膜 8db 間の隙間とを通る必要があり、リーク電流 46a の経路の抵抗値が増加するからである。従って、図 17 に示される半導体装置



よりも距離  $d$  の値を大きく設定することができ、距離  $d$  の設計自由度が向上する。

#### 【0098】

また、上述のようにトレンチ分離構造 8 a, 8 c, 8 d の一部をそれぞれ点線状に形成する場合においては、図 19 に示されるように、絶縁膜 8 a b 間の隙間の位置と、絶縁膜 8 c b 間の隙間の位置とを、ソース領域 5 から  $n^+$ 不純物領域 7 に向かう方向に相互にずらして配置しても良い。更に、絶縁膜 8 a b 間の隙間の位置と、絶縁膜 8 d b 間の隙間の位置とを、ソース領域 5 から  $n^+$ 不純物領域 7 に向かう方向に相互にずらして配置しても良い。この場合には、図 19 に示されるように、リーク電流 46 a の経路が長くなり、そこでの抵抗値が増加するため、更にリーク電流 46 a が低減する。

#### 【0099】

実施の形態 4.

図 20 は本実施の形態 4 に係る半導体装置の構造を示す断面図であって、図 17 の矢視 G-G に相当する位置での断面図である。図 20 に示されるように、本実施の形態 4 に係る半導体装置は、上述の実施の形態 3 に係る半導体装置において、線状部分 80 a の互いに隣り合う導電性膜 8 a a の間が絶縁膜 8 a b で埋められているものである。その他の構造は実施の形態 3 に係る半導体装置と同様のため、その説明は省略する。

#### 【0100】

このように、互いに離れて設けられた導電性膜 8 a a の間を絶縁膜 8 a b で埋めることによって、実施の形態 3 に係る半導体装置よりもリーク電流 46 a を低減することができる。

#### 【0101】

次に、図 20 に示される構造の製造方法について説明する。図 21, 22 はその製造方法を工程順に示す断面図である。なお、図 21, 22 も図 20 と同様に、図 17 の矢視 G-G に相当する位置での断面図である。

#### 【0102】

図 21 に示されるように、 $p$ -半導体基板 1 上に  $n$ -半導体層 2 を形成する。そ

して、互いに所定距離を成す複数のトレンチ 8 a c を n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて n-半導体層 2 内に形成する。このとき、互いに隣り合う 2 つのトレンチ 8 a c において、一方のトレンチ 8 a c の側面と、それと対向する、他方のトレンチ 8 a c の側面との間の距離 D を、後の工程で形成される絶縁膜 8 a b の膜厚 t 以下に設定する。

#### 【0103】

次に図 22 に示されるように、複数のトレンチ 8 a c のそれぞれの内壁を酸化して、各トレンチ 8 a c の内面に絶縁膜 8 a b を形成する。このとき、絶縁膜 8 a b の半分がトレンチ 8 a c によって露出する n-半導体層 2 及び p-半導体基板 1 の内面上に形成され、残りの半分がその内部に形成される。そして、互いに隣り合うトレンチ 8 a c 間の距離 D は、絶縁膜 8 a b の膜厚 t 以下に設定されているため、互いに隣り合うトレンチ 8 a c の内面に形成された絶縁膜 8 a b は相互に接触することになる。なお、図 22 では絶縁膜 8 a b を形成する前のトレンチ 8 a c の内面を破線で示している。

#### 【0104】

次に各トレンチ 8 a c を充填する導電性膜 8 a a を形成する。これにより、図 20 に示される構造が得られる。

#### 【0105】

このように、トレンチ 8 a c 間の距離 D を絶縁膜 8 a b の膜厚 t 以下に設定することによって、互いに隣り合う導電性膜 8 a a の間が絶縁膜 8 a b で埋められるようになる。従って、リーク電流 46 a を低減することができる。

#### 【0106】

実施の形態 5.

上述の実施の形態 3 に係る半導体装置のように、線状部分 80 a の絶縁膜 8 a b 間に隙間が生じていると、その距離 d の値が大きくなるにつれて、リーク電流 46 a が大きくなる。図 23 はこの様子を示す図である。従って、リーク電流 46 a を測定し、トレンチ分離構造 8 a における線状部分 80 a に対する製造プロセスの評価を行う必要がある。しかしながら、リーク電流 46 a のみを直接測定することは困難である。

## 【0107】

そこで、本実施の形態5では、図24に示されるような複数のテスト構造53を実施の形態3に係る半導体装置に設けて、かかるテスト構造53を利用してトレンチ分離構造8aにおける線状部分80aの製造プロセスを評価する方法を提案する。

## 【0108】

まずテスト構造53について詳細に説明する。図24に示されるように、実施の形態3に係る半導体装置に設けられた複数のテスト構造53のそれぞれは、トレンチ分離構造68a、68bと、電極パッド69a、69bとを備えている。トレンチ分離構造68bは、n-半導体層2の上面からp-半導体基板1との界面にかけてn-半導体層2内部に設けられている。そして、トレンチ分離構造68bはn-半導体層2の一部を取り囲んでおり、n-半導体層2内に領域Mを区分している。

## 【0109】

トレンチ分離構造68aは、互いに離れて設けられ、領域Mの周縁に沿って並ぶ複数の導電性膜68baを有している。各導電性膜68baは、トレンチ分離構造8aの導電性膜8aaと同様に、n-半導体層2の上面からp-半導体基板1との界面にかけてn-半導体層2内部に設けられている。そして、トレンチ分離構造68aには、導電性膜68baの表面のうち、n-半導体層2及びp-半導体基板1に埋もれている表面を覆う絶縁膜68bbが、各導電性膜69baごとに設けられており、絶縁膜68bbは互いに離れている。

## 【0110】

複数のテスト構造53の間では、互いに隣り合う絶縁膜68bb間の隙間の大きさは互いに異なっている。言い換えれば、複数のテスト構造53の互いに隣り合う絶縁膜68bbにおいては、一方の絶縁膜68bbの導電性膜68baとは反対側の側面と、それと対向する、他方の絶縁膜68bbの導電性膜68baとは反対側の側面との間の距離d1は相互に異なっている。図24では、2つのテスト構造53が示されているが、その上方に示されているテスト構造53における距離d1は、下方に示されているテスト構造53における距離d1よりも小さ

く設定されている。

#### 【0111】

トレンチ分離構造 68a は、n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて n-半導体層 2 内部に設けられており、トレンチ分離構造 68b を取り囲んでいる。トレンチ分離構造 68a は、導電性膜 68aa と絶縁膜 68ab とから成る。導電性膜 68aa は、トレンチ分離構造 68b の導電性膜 68ba と同様に、n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて n-半導体層 2 内部に設けられている。絶縁膜 68ab は、導電性膜 68aa の表面のうち、n-半導体層 2 及び p-半導体基板 1 に埋もれている表面を覆っている。

#### 【0112】

領域 M における n-半導体層 2 の上面には電極パッド 69a が設けられている。そして、トレンチ分離構造 68a, 69b の間の n-半導体層 2 の上面には電極パッド 69b が設けられている。

#### 【0113】

各導電性膜 68aa, 68ba は例えばポリシリコンから成り、各絶縁膜 68ab, 68bb は例えばシリコン酸化膜から成る。また、各電極パッド 69a, 69b は例えばアルミニウムから成る。

#### 【0114】

図 24 に示される複数のテスト構造 53 は、例えば、ウェハ状態の p-半導体基板 1 の端部の上方に形成され、その上には絶縁膜 18, 40 は設けられない。そして、テスト構造 53 のトレンチ分離構造 68a, 68b はトレンチ分離構造 8a と同時に形成される。

#### 【0115】

テスト構造 53 はトレンチ分離構造 8a の線状部分 80a の製造プロセスを評価する際のモニタとして利用されるため、そのトレンチ分離構造 68b と線状部分 80a とは同じ製造条件で形成される。更に、トレンチ分離構造 68b の導電性膜 68ba と、線状部分 80a の導電性膜 8aa とは互いに同じ形状で形成され、トレンチ分離構造 68b の絶縁膜 68bb と、線状部分 80a の絶縁膜 8ab との膜厚も互いに同じに設定される。

**【0116】**

本実施の形態4では、上記テスト構造53を例えば3つ準備する。そして、テスト構造53のうちの一つについては、トレンチ分離構造68bの絶縁膜69b間の距離d1を、線状部分80aの絶縁膜8ab間の距離dに一致させる。そして、距離d1が線状部分80aにおける距離dよりも大きい値に設定されるテスト構造53と、小さい値に設定されるテスト構造53とを準備する。以後、距離d1が線状部分80aにおける距離dと同じ値に設定されるテスト構造53を「テスト構造53a」、距離dよりも大きい値に設定されるテスト構造53を「テスト構造53b」、距離dよりも小さい値に設定されるテスト構造53を「テスト構造53c」とそれぞれ呼ぶ。

**【0117】**

次に上記テスト構造53を用いた、トレンチ分離構造8aの線状部分80aの製造プロセスの評価方法について説明する。図25はテスト構造53を用いた線状部分80aの製造プロセスの評価方法を示すフローチャートである。なお、線状部分80aに対する製造プロセスの評価は、例えばウェハ状態のp-半導体基板1を用いて行われる。

**【0118】**

図25に示されるように、ステップs1において、複数のテスト構造53のそれぞれについて、領域Mにおけるn-半導体層2と、トレンチ分離構造68bに対して領域Mとは反対側のn-半導体層2との間のリーク電流54を測定する。具体的には、各テスト構造53a～53bにおいて、例えば電極パッド69a、69bにそれぞれ電位VB及び接地電位GNDを与えて、電極パッド69a、69b間の電流を測定する。

**【0119】**

次に、ステップs2において、ステップs1で測定したリーク電流54を用いて、トレンチ分離構造8aの線状部分80aの製造プロセスを評価する。以下に評価方法の具体例について説明する。

**【0120】**

まず、ステップs1で測定したテスト構造53aのリーク電流54が、予め設

定されている、nMOSトランジスタ103のリーク電流46aの規格範囲ref内にあるかどうかを確認する。ここで、規格範囲refとはリーク電流46aの許容範囲であって、リーク電流46aがこの規格範囲ref内であれば、nMOSトランジスタ103がオンした場合における電極17とドレイン電極14との間の電位差が、リーク電流46aによって減少したとしても、この減少が半導体装置の動作に実質的に影響を与えることはない。

#### 【0121】

テスト構造53aのトレンチ分離構造68bは、トレンチ分離構造8aの線状部分80aと同じ製造条件等で形成されており、更にその距離d1は、線状部分80aにおける距離dと同じ値に設定されている。そのため、テスト構造53aにおけるリーク電流54が規格範囲ref内であれば、nMOSトランジスタ103のリーク電流46aも規格範囲ref内にあると間接的に判断でき、一応は半導体装置を良品として取り扱うことができる。

#### 【0122】

しかしながら、線状部分80aの製造プロセスに何らかの問題があるにも関わらず、偶然にリーク電流46aが規格範囲ref内にあるという場合も考えられる。そこで、テスト構造53aのリーク電流54が規格範囲ref内にある場合には、テスト構造53aのリーク電流54と、テスト構造53bあるいはテスト構造53cのリーク電流54とを比較する。

#### 【0123】

テスト構造53bにおける距離d1は、テスト構造53aにおけるそれよりも大きく設定されているため、設計上は、テスト構造53bのリーク電流54は、テスト構造53aのリーク電流54よりも大きくなる。また、テスト構造53cにおける距離d1は、テスト構造53aにおけるそれよりも小さく設定されているため、設計上は、テスト構造53cのリーク電流54は、テスト構造53aのリーク電流54よりも小さくなる。

#### 【0124】

また、テスト構造53b、53cのトレンチ分離構造68bは、トレンチ分離構造8aの線状部分80aと同じ製造条件等で形成されている。従って、テスト

構造 53 a におけるリーク電流 54 の実測値と、テスト構造 53 b あるいはテスト構造 53 c におけるそれとを相互に比較し、ほとんど変わらない場合等には、線状部分 80 a の製造プロセスに問題があると評価できる。そして、この評価結果に基いて線状部分 80 a の製造条件等を見直す。

#### 【0125】

一方、テスト構造 53 a のリーク電流 54 が規格範囲 r e f 外にある場合には、nMOS トランジスタ 103 のリーク電流 46 a も規格範囲 r e f 外にあると判断できるため、半導体装置を不良であると判断できる。しかしながら、テスト構造 53 a のリーク電流 54 だけでは、線状部分 80 a のどの部分で不良が発生しているのかを全く評価できない。

#### 【0126】

そこで、テスト構造 53 a のリーク電流 54 が規格範囲 r e f 外にある場合にも、テスト構造 53 a のリーク電流 54 と、テスト構造 53 b あるいはテスト構造 53 c のリーク電流 54 とを比較する。

#### 【0127】

例えば、テスト構造 53 a のリーク電流 54 が規格範囲 r e f の下限よりも小さい場合に、テスト構造 53 b におけるリーク電流 54 の実測値が、テスト構造 53 a におけるそれよりも大きく、テスト構造 53 c におけるリーク電流 54 の実測値が、テスト構造 53 a におけるそれとほとんど変わらないときには、線状部分 80 a の絶縁膜 8 a b 間に隙間が生じていないと推定することができる。このように、本来生じるはずの隙間ができていないということは、線状部分 80 a の製造プロセスに何らかの問題があると評価できる。従って、この評価結果を用いて、線状部分 80 a の製造条件等を見直すことができる。

#### 【0128】

このように、MOS 電流 46 のリーク電流 46 a が直接測定することが困難である場合であっても、距離 d1 が相互に異なる複数のテスト構造 53 をモニタとして設けることによって、トレンチ分離構造 8 a における線状部分 80 a の製造プロセスを評価することができる。

#### 【0129】

実施の形態 6.

図 26 は本発明の実施の形態 6 に係る半導体装置の構造を示す断面図であって、図 27 はその平面図を示している。また、図 28 は図 27 の矢視 I-I における断面図である。図 26 は図 2 の矢視 D-D に相当する位置での断面図であって、図 27 ではゲート電極 9 以外の n-半導体層 2 よりも上方の構造（分離絶縁膜 10 を含む）を省略している。また、図 27 の矢視 H-H における断面構造が図 26 の左側半分に示されている。

#### 【0130】

本実施の形態 6 に係る半導体装置は、上述の実施の形態 3 に係る半導体装置において、p 不純物領域 55 を更に備えるものである。

#### 【0131】

図 26～28 に示されるように、p 不純物領域 55 は、RESURF 分離領域 A 内の n-半導体層 2 の上面内に設けられており、トレンチ分離領域 B の周縁に沿って延在している。そして p 不純物領域 55 は、トレンチ分離構造 8a の絶縁膜 8ab のうち、n-半導体層 2 の上面から露出している部分以外を取り囲んでおり、p 不純物領域 3 と接続されている。

#### 【0132】

トレンチ分離構造 8a の線状部分 80a においては、p 不純物領域 55 は、複数の絶縁膜 8ab のそれぞれを取り囲んでおり、互い隣り合う絶縁膜 8ab の間は p 不純物領域 55 で埋められている。

#### 【0133】

なお、本実施の形態 6 に係る半導体装置では、トレンチ分離構造 21 の絶縁膜 21b のうち、n-半導体層 2 の上面から露出している部分以外を取り囲む p 不純物領域 55 も設けられている。

#### 【0134】

このように、本実施の形態 6 に係る半導体装置では、線状部分 80a における絶縁膜 8ab の間は p 不純物領域 55 で埋められているため、実施の形態 3 に係る半導体装置よりもリーク電流 46a を減少することができる。

#### 【0135】



次に、p 不純物領域 55 の形成方法について説明する。図 29, 30 は p 不純物領域 55 の形成方法を示す断面図であって、図 27 の矢視 I-I に相当する位置での断面図である。

#### 【0136】

まず図 29 に示されるように、p-半導体基板 1 上に n-半導体層 2 を形成する。そして、互いに所定距離を成す複数のトレンチ 8ac を n-半導体層 2 の上面から p-半導体基板 1 との界面にかけて n-半導体層 2 内に形成する。そして、n-半導体層 2 の上面上にレジスト 60 を形成する。

#### 【0137】

次に、複数のトレンチ 8ac のそれぞれの内壁に対して、p 型の不純物 IM をイオン注入で導入する。このとき、n-半導体層 2 の上面に垂直な方向に対して斜めの方向から、不純物 IM のイオン注入が行われる。その後、レジスト 60 を除去する。

#### 【0138】

次に図 30 に示されるように、各トレンチ 8ac の内壁と、n-半導体層 2 の上面を酸化して、各トレンチ 8ac の内面及び n-半導体層 2 の上面に絶縁膜材料 8ad を形成する。そして各トレンチ 8ac を充填する導電性材料 8ae を絶縁膜材料 8ad 上に形成する。

#### 【0139】

次にトレンチ 8ac よりも上方の絶縁膜材料 8ad 及び導電性材料 8ae を除去して、高温ドライブ工程を実行する。これにより、各トレンチ 8ac の内面に絶縁膜 8ab が形成され、同時に各トレンチ 8ac を充填する導電性膜 8aa が形成される。更に、不純物 IM が拡散して p 不純物領域 55 が完成し、図 28 に示される構造が得られる。

#### 【0140】

このように、トレンチ分離構造 8a の線状部分 80a を形成する際に p 不純物領域 55 も形成しているため、p 不純物領域 55 を形成した後に線状部分 80a を形成する場合よりも、半導体装置の製造時間を短縮することができる。

#### 【0141】

なお、電極 17 及び p-半導体基板 1 にそれぞれ電位 VB 及び接地電位 GND を印加した場合に、p 不純物領域 55 と n-半導体層 2 とで形成される PN 接合には逆電圧が印加されるが、この場合に、p 不純物領域 55 の全領域が空乏化することが望ましい。p 不純物領域 55 の全領域が空乏化しない場合には、p 不純物領域 55 に電解が集中し、耐圧低下を引き起こすことがあるからである。

#### 【0142】

以下に、p 不純物領域 55 の全領域が空乏化する条件について説明する。

#### 【0143】

上述のように p 不純物領域 55 は、複数のトレンチ 8ac のそれぞれの内壁に対して不純物 IM をイオン注入し、その後、不純物 IM を熱拡散することによって形成している。このときの p 不純物領域 55 における、トレンチ 8ac の内面に対して垂直な方向の拡散深さを dm、p 不純物領域 55 の不純物濃度の平均値を N とすると、拡散深さ dm と、不純物濃度の平均値 N とが以下の式 (1) を満足するようにそれぞれの値を設定する。

#### 【0144】

##### 【数 1】

$$N [\text{cm}^{-3}] \times d_m [\text{cm}] \cong 1.0 \times 10^{-12} [\text{cm}^{-2}] \dots (1)$$

#### 【0145】

これにより、p 不純物領域 55 のうち、線状部分 80a の絶縁膜 8ab 間を充填する部分以外が空乏化する。なお式 (1) は、特許文献 2 及び非特許文献 1 に記載されている RESURF 条件である。

#### 【0146】

更に、トレンチ分離構造 8a が延在している方向に対して垂直な方向におけるトレンチ 8ac の幅を W とすると、幅 W と、拡散深さ dm と、不純物濃度の平均値 N とが以下の式 (2), (3) を満足するようにそれぞれの値を設定する。

#### 【0147】

## 【数 2】

$$N [\text{cm}^{-3}] \times W [\text{cm}] \cong 2.0 \times 10^{-12} [\text{cm}^{-2}] \cdots (2)$$

$$W \leq 2 \times d \text{ m} \cdots (3)$$

## 【0148】

これにより、p不純物領域55のうち、線状部分80aの絶縁膜8ab間を充填する部分が空乏化する。なお、互いに隣り合うトレンチ8acの間の距離Dを、拡散深さdmの2倍よりも小さい値に設定することによって、一方のトレンチ8acの内壁に形成されたp不純物領域55と、他方のトレンチ8acの内壁に形成されたp不純物領域55とが相互に接続される。

## 【0149】

実施の形態7.

図31は本発明の実施の形態7に係る半導体装置の構造を示す平面図である。図32は図31のトレンチ分離領域B、Jの付近を拡大して示す平面図である。図33は図32の矢視K-Kにおける断面図である。なお図31では、説明の便宜上、図33のn-半導体層2よりも上方の構造（分離絶縁膜10を含む）を省略している。また図32では、説明の便宜上、ゲート電極9、69以外の図33のn-半導体層2よりも上方の構造（分離絶縁膜10を含む）を省略している。

## 【0150】

本実施の形態7に係る半導体装置は、上述の実施の形態1に係る半導体装置100において、基本的には、トレンチ分離構造8eを更に備え、RESURF分離領域A内にnMOSトランジスタ104を設けたものである。

## 【0151】

図31～33に示されるように、n-半導体層2の上面からp-半導体基板1との界面にかけてRESURF分離領域A内のn-半導体層2内にトレンチ分離構造8eが設けられている。トレンチ分離構造8eはp不純物領域3と接続されており、p不純物領域3とともにRESURF分離領域A内のn-半導体層2の一部を取り囲んでいる。これにより、p不純物領域3及びトレンチ分離構造8eで

もって、MOSトランジスタ104が配置されるトレンチ分離領域JがRESURF分離領域A内のn-半導体層2に区分されている。

【0152】

トレンチ分離構造8eはトレンチ分離構造8bに連結されている。トレンチ分離構造8eは導電性膜8eaと絶縁膜8ebとから成る。導電性膜8eaは、例えばポリシリコンから成り、トレンチ分離構造8bの導電性膜8baに連結されている。そして、導電性膜8eaはn-半導体層2の上面からp-半導体基板1との界面にかけてn-半導体層2内部に設けられている。

【0153】

トレンチ分離構造8eの絶縁膜8ebは、導電性膜8eaの表面のうち、n-半導体層2及びp-半導体基板1に埋もれている表面を覆っている。絶縁膜8ebは例えばシリコン酸化膜から成り、トレンチ分離構造8bの絶縁膜8bbに連結されている。

【0154】

トレンチ分離領域J内のn-半導体層2の上面内には、n<sup>+</sup>不純物領域67が設けられている。n<sup>+</sup>不純物領域67とp不純物領域3との間のn-半導体層2の上面内にはp<sup>+</sup>不純物領域66が設けられている。p<sup>+</sup>不純物領域66の上面内には、n<sup>+</sup>不純物領域であるnMOSトランジスタ104のソース領域65が設けられている。p<sup>+</sup>不純物領域66とn<sup>+</sup>不純物領域67との間のn-半導体層2と、n<sup>+</sup>不純物領域67とはnMOSトランジスタ104のドレイン領域として機能する。n<sup>+</sup>不純物領域67の下方におけるn-半導体層2とp-半導体基板1との界面には選択的にn<sup>+</sup>埋め込み不純物領域64が設けられている。

【0155】

p<sup>+</sup>不純物領域66とn<sup>+</sup>不純物領域67との間のn-半導体層2の上には分離絶縁膜10を介して、MOSトランジスタ104のゲート電極69と、フィールドプレート12a、12b、72cとが設けられている。ゲート電極69及びフィールドプレート12a、12b、72cは、p<sup>+</sup>不純物領域66からn<sup>+</sup>不純物領域67へと向かう方向に沿って順に配置されている。

【0156】

ゲート電極 69 は p 不純物領域 66 の端部を接触することなく覆っており、ゲート電位が与えられる。フィールドプレート 72c は n+不純物領域 67 の端部に接触している。フィールドプレート 12a, 12b は、ゲート電極 69 とフィールドプレート 72c との間に介在してこれらと静電結合することにより、nMOS トランジスタ 104 のソースとドレインとの間の電位差に基づく n-半導体層 2 の上面での電界を緩和する機能を果たす。

#### 【0157】

トレンチ分離構造 8e の上には、分離絶縁膜 10 を介してフィールドプレート 73 が設けられている。フィールドプレート 73 は、n+不純物領域 67 の端部と接触している。ゲート電極 69 及びフィールドプレート 72c, 73 は、例えばポリシリコンから成る。トレンチ分離構造 8e の上面は分離絶縁膜 10 で覆われている。

#### 【0158】

絶縁膜 18 は、ゲート電極 69 及びフィールドプレート 72c, 73 をも覆っている。p+不純物領域 66 とソース領域 65 とに接触する MOS トランジスタ 104 のソース電極 61 と、n+不純物領域 67 に接触する MOS トランジスタ 104 のドレイン電極 74 とは、それぞれ絶縁膜 18 を貫通して設けられている。

#### 【0159】

制御回路形成領域 C の n-半導体層 2 の上面内には、抵抗 107 として機能する p+不純物領域（図示せず）が設けられており、かかる p+不純物領域とドレイン電極 74 とは配線 75 で相互に接続されている。配線 75 は例えばアルミニウムから成り、フィールドプレート 73 の上方に位置している。

#### 【0160】

ソース電極 61 及びドレイン電極 74 は、例えばアルミニウムから成る。図 33 では、図面の煩雑さを避けるために、MOS トランジスタ 104 のゲート絶縁膜を絶縁膜 18 に含めて示している。絶縁膜 40 は、ソース電極 61 及びドレイン電極 74 をも覆っている。

#### 【0161】

なお図示していないが、本実施の形態 7 では、上述の I/F 回路 101 及びバ

ルス発生回路 102 が、RESURF 分離領域 A 外の n-半導体層 2 に形成されている。その他の構造は実施の形態 1 に係る半導体装置 100 と同じであるため、その説明は省略する。

#### 【0162】

制御回路形成領域 C における n-半導体層 2 及び p-半導体基板 1 にそれぞれ電位 VB 及び接地電位 GND が与えられると、トレンチ分離領域 B と同様に、トレンチ分離領域 J においても、p 不純物領域 3 と n<sup>+</sup>埋め込み不純物領域 64 との間の n-半導体層 2 にはほぼ全域に空乏層が形成される。これにより、高耐圧の nMOS トランジスタ 104 を実現している。

#### 【0163】

このように、本実施の形態 7 に係る半導体装置では、RESURF 分離領域 A 内に、nMOS トランジスタ 103 だけではなく、nMOS トランジスタ 104 をも配置しているため、実施の形態 1 に係る半導体装置よりも装置の微細化が可能になる。

#### 【0164】

なお、トレンチ分離構造 8e はトレンチ分離構造 8a と同じ方法で形成される。また、トレンチ分離構造 8a の場合と同様の理由から、トレンチ分離構造 8e は必ずしも p-半導体基板 1 まで到達している必要は無く、少なくとも n-半導体層 2 と p-半導体基板 1 との界面付近にまで達していればよい。

#### 【0165】

実施の形態 8.

図 34 は本発明の実施の形態 8 に係る半導体装置の構造を示す平面図であって、図 35 は図 34 の矢視 L-L における断面図である。図 34 はトレンチ分離領域 B の付近を拡大して示す平面図である。また図 34 では、ゲート電極 9 以外の n-半導体層 2 より上方の構造（分離絶縁膜 10 を含む）を省略しており、図 35 では絶縁膜 18, 40 の記載を省略している。

#### 【0166】

上述の実施の形態 3 に係る半導体装置では、フィールドプレート 12a, 12b は周囲から絶縁された浮遊電極であったが、本実施の形態 8 に係る半導体装置

では、フィールドプレート 12 a, 12 b のそれぞれを、トレンチ分離構造 8 a の線状部分 80 a における導電性膜 8 a a と接続させている。

#### 【0167】

図 34, 35 に示されるように、線状部分 80 a における各導電性膜 8 a a は n-半導体層 2 の上面から露出しており、その上には分離絶縁膜 10 が形成されていない。そして、p 不純物領域 3 と埋め込み不純物領域 4 との間の n-半導体層 2 の上に、分離絶縁膜 10 を介して設けられたフィールドプレート 12 a は、線状部分 80 a の導電性膜 8 a a に接続されている。また、フィールドプレート 12 a と同様に、p 不純物領域 3 と埋め込み不純物領域 4 との間の n-半導体層 2 の上に分離絶縁膜 10 を介して設けられたフィールドプレート 12 b は、線状部分 80 a におけるフィールドプレート 12 a とは異なる導電性膜 8 a a に接続されている。

#### 【0168】

ここで、導電性膜 8 a a は周囲から絶縁されてるため浮遊状態であるが、導電性膜 8 a a と、接地電位 GND が印加される p 不純物領域 3 から延びてくる空乏層とは容量的に相互に結合するため、導電性膜 8 a a の電位は、p 不純物領域 3 から離れるにつれて段階的に上昇する。そして、その電位は n-半導体層 2 の電位が強く影響するため、変動しにくくほぼ一定である。

#### 【0169】

また、絶縁膜 40 の上にはそれを覆うモールド樹脂（図示せず）が形成されるが、当該モールド樹脂での分極電荷の影響によって n-半導体層 2 での空乏層の延びが阻害されることがある。

#### 【0170】

本実施の形態 8 に係る半導体装置では、フィールドプレート 12 a, 12 b は、トレンチ分離構造 8 a における線状部分 80 a の導電性膜 8 a a に接続されているため、フィールドプレート 12 a, 12 b の電位が安定する。従って、フィールドプレート 12 a, 12 b の下方の n-半導体層 2 の上面付近の電位も安定する。その結果、絶縁膜 40 を覆って設けられるモールド樹脂での分極電荷の影響を低減することができ、耐圧低下を防止することができる。

**【0171】**

次に、本実施の形態 8 に係るフィールドプレート 12a, 12b の形成方法について説明する。図 36～40 はフィールドプレート 12a, 12b の形成方法を示す断面図であって、図 34 の矢視 L-L に相当する位置での断面図である。

**【0172】**

図 36 に示されるように、p-半導体基板 1 上に n-半導体層 2 を形成する。そして、互いに所定距離を成す複数のトレンチ 8ac を n-半導体層 2 内及び p-半導体基板 1 内に形成する。

**【0173】**

次に、各トレンチ 8ac の内壁を酸化して、図 37 に示されるように、各トレンチ 8ac の内面に絶縁膜 8ab を形成する。そして、図 38 に示されるように、n-半導体層 2 の上面に分離絶縁膜 10 を形成する。

**【0174】**

次に図 39 に示されるように、各トレンチ 8ac を充填する導電性材料 82 を分離絶縁膜 10 上に形成する。導電性材料 82 は例えばポリシリコンから成る。そして、所定の開口パターンを有するレジスト 81 を導電性材料 82 上に形成する。

**【0175】**

次に、レジスト 81 をマスクに用いて、導電性材料 82 をパターンニングする。これにより、図 40 に示されるように、線状部分 80a の導電性膜 8aa と、フィールドプレート 12a, 12b とが同時に形成される。

**【0176】**

このように、本実施の形態 8 では、フィールドプレート 12a, 12b と線状部分 80a の導電性膜 8aa とが同時に形成される。従って、フィールドプレート 12a, 12b と、線状部分 80a における導電性膜 8aa とが別々の工程で形成される場合よりも、半導体装置の製造時間が短縮できる。

**【0177】****【発明の効果】**

この発明の半導体装置によれば、MOS トランジスタは、p 不純物領域とトレ



ンチ分離構造によって区分されたトレンチ分離領域内に形成されているため、MOSトランジスタのソースとドレインとの間の電流が、半導体素子が形成されている半導体層にリークすることを抑制することができる。

【0178】

更に、ドレイン電極と接続される第2不純物領域の下方には、半導体層よりも高濃度の埋め込み不純物領域が形成されているため、ドレイン電極に高電位が印加された場合のサージ耐圧が向上する。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に係る半導体装置の構成を示すブロック図である。

【図2】 本発明の実施の形態1に係る半導体装置の構造を示す平面図である。

【図3】 本発明の実施の形態1に係る半導体装置の構造を示す断面図である。

【図4】 本発明の実施の形態1に係る半導体装置の構造を示す平面図である。

【図5】 本発明の実施の形態1に係るトレンチ分離構造の製造方法を示す断面図である。

【図6】 本発明の実施の形態1に係るトレンチ分離構造の製造方法を示す断面図である。

【図7】 本発明の実施の形態1に係るトレンチ分離構造の製造方法を示す断面図である。

【図8】 本発明の実施の形態1に係るトレンチ分離構造の製造方法を示す断面図である。

【図9】 本発明の実施の形態1に係るトレンチ分離構造を示す断面図である。

【図10】 本発明の実施の形態1に係るトレンチ分離構造を示す断面図である。

【図11】 本発明の実施の形態1に係るトレンチ分離構造を示す断面図で

ある。

【図 1 2】 本発明の実施の形態 1 に係る半導体装置の構造を示す断面図である。

【図 1 3】 本発明の実施の形態 1 に係る半導体装置の構造を示す平面図である。

【図 1 4】 本発明の実施の形態 2 に係る半導体装置の構造を示す断面図である。

【図 1 5】 本発明の実施の形態 2 に係る半導体装置の構造を示す平面図である。

【図 1 6】 本発明の実施の形態 1 に係る半導体装置の構造を示す平面図である。

【図 1 7】 本発明の実施の形態 3 に係る半導体装置の構造を示す平面図である。

【図 1 8】 本発明の実施の形態 3 に係る半導体装置の構造を示す断面図である。

【図 1 9】 本発明の実施の形態 3 に係る半導体装置の構造を示す断面図である。

【図 2 0】 本発明の実施の形態 4 に係るトレンチ分離構造 8 a を示す断面図である。

【図 2 1】 本発明の実施の形態 4 に係るトレンチ分離構造 8 a の製造方法を示す断面図である。

【図 2 2】 本発明の実施の形態 4 に係るトレンチ分離構造 8 a の製造方法を示す断面図である。

【図 2 3】 トレンチ分離構造の絶縁膜間の距離とリーク電流との関係を示すグラフである。

【図 2 4】 本発明の実施の形態 5 に係るテスト構造 5 3 を示す平面図である。

【図 2 5】 本発明の実施の形態 5 に係る製造プロセス評価方法を示すフローチャートである。

【図 26】 本発明の実施の形態 6 に係る半導体装置の構造を示す断面図である。

【図 27】 本発明の実施の形態 6 に係る半導体装置の構造を示す平面図である。

【図 28】 本発明の実施の形態 6 に係る半導体装置の構造を示す断面図である。

【図 29】 本発明の実施の形態 6 に係る半導体装置の製造方法を示す断面図である。

【図 30】 本発明の実施の形態 6 に係る半導体装置の製造方法を示す断面図である。

【図 31】 本発明の実施の形態 7 に係る半導体装置の構造を示す平面図である。

【図 32】 本発明の実施の形態 7 に係る半導体装置の構造を示す平面図である。

【図 33】 本発明の実施の形態 7 に係る半導体装置の構造を示す断面図である。

【図 34】 本発明の実施の形態 8 に係る半導体装置の構造を示す平面図である。

【図 35】 本発明の実施の形態 8 に係る半導体装置の構造を示す断面図である。

【図 36】 本発明の実施の形態 8 に係る半導体装置の製造方法を示す断面図である。

【図 37】 本発明の実施の形態 8 に係る半導体装置の製造方法を示す断面図である。

【図 38】 本発明の実施の形態 8 に係る半導体装置の製造方法を示す断面図である。

【図 39】 本発明の実施の形態 8 に係る半導体装置の製造方法を示す断面図である。

【図 40】 本発明の実施の形態 8 に係る半導体装置の製造方法を示す断面

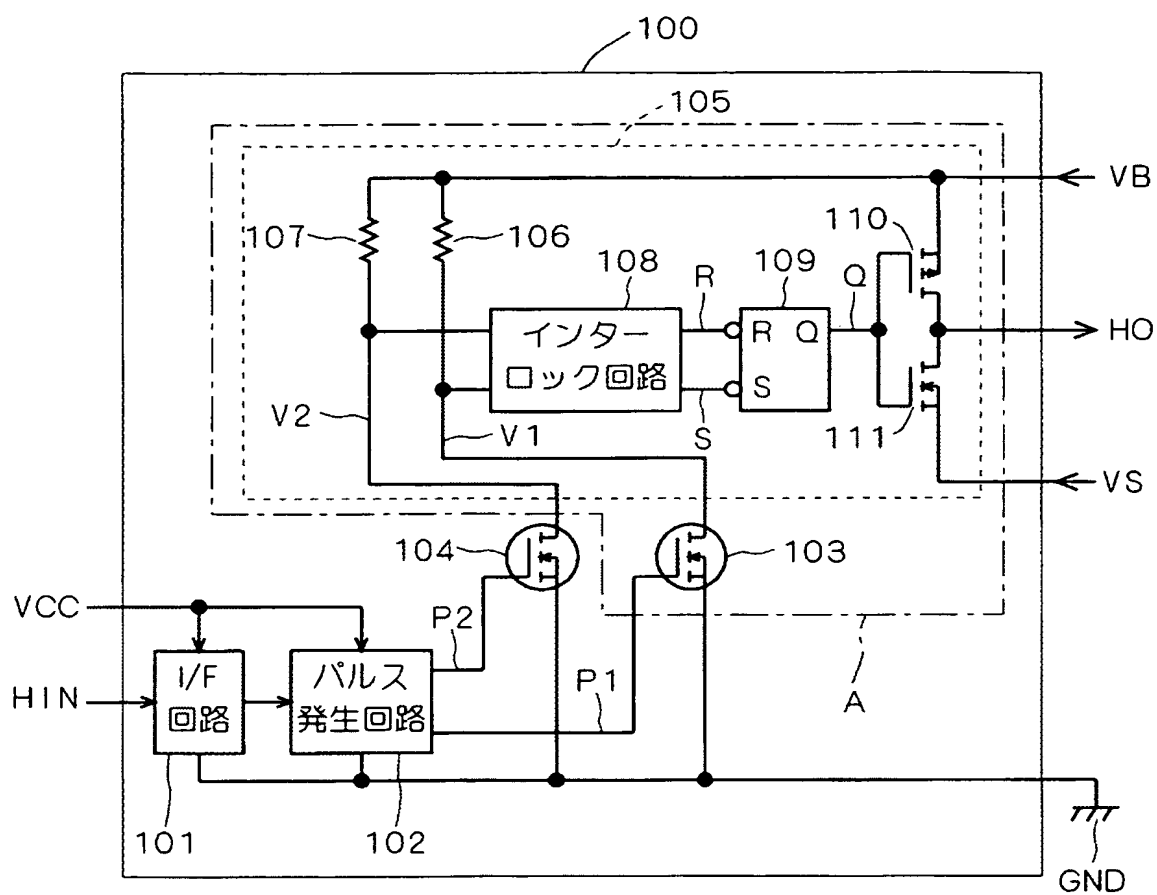
図である。

【符号の説明】

1 半導体基板、2 n-半導体層、3, 55 p不純物領域、4 n+埋め込み不純物領域、5 ソース領域、6 p+不純物領域、7 n+不純物領域、8a, 8c~8e, 68b トレンチ分離構造、8aa, 8ca, 8da, 68ba 導電性膜、8ab, 8cb, 8db, 68bb 絶縁膜、10 分離絶縁膜、12a, 12b, 13 フィールドプレート、14 ドレイン電極、15 配線、53 テスト構造、54 リーク電流、80a 線状部分、82 導電性材料、100 半導体装置、103, 104 nMOSトランジスタ、A RESURF分離領域、B, J トレンチ分離領域、C 制御回路形成領域、IM 不純物、M 領域。

【書類名】 図面

【図 1】

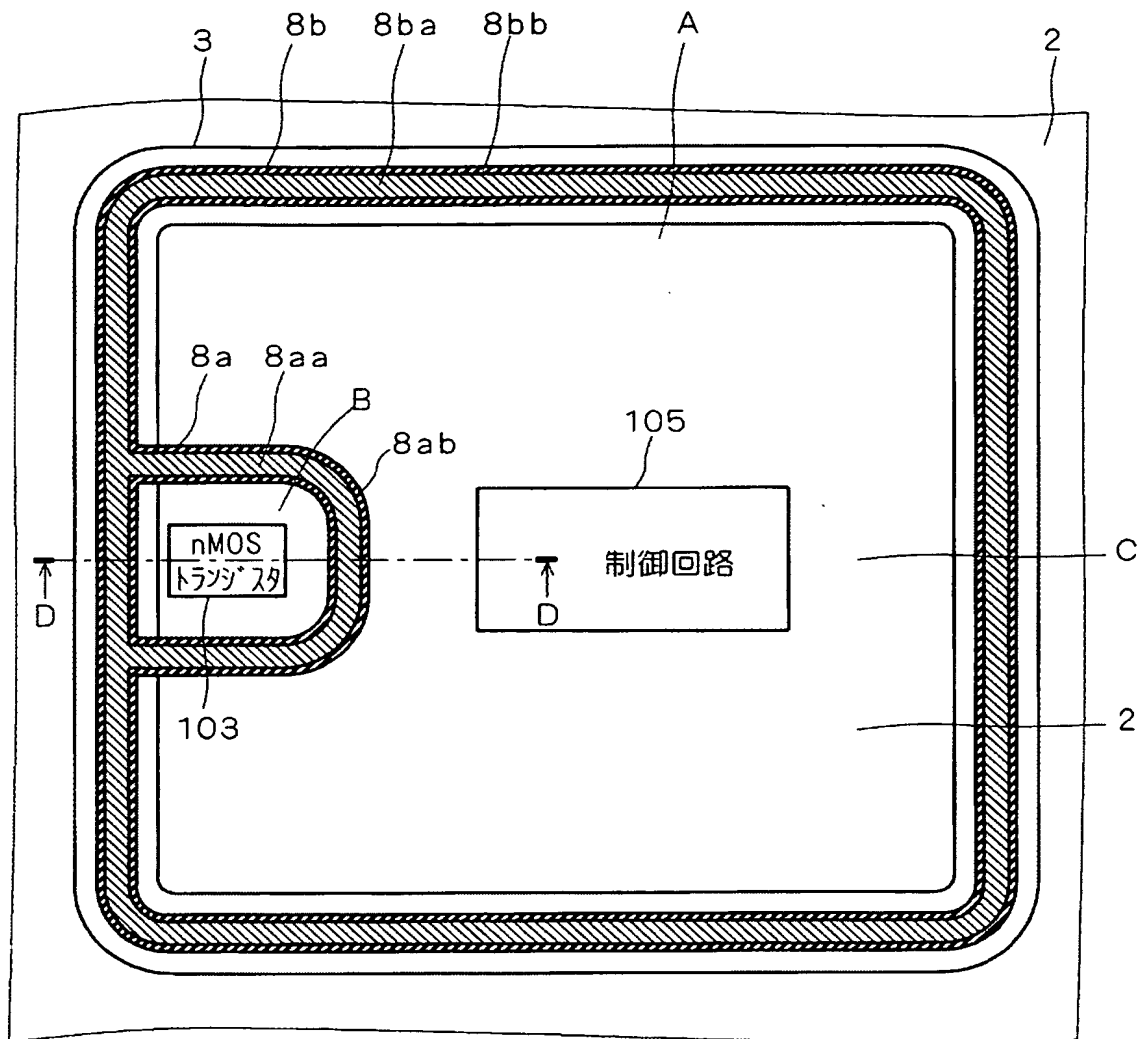


100 : 半導体装置

103, 104 : nMOSトランジスタ

A : RESURF分離領域

【図 2】



B : トレンチ分離領域

C : 制御回路形成領域

2 : n-半導体層

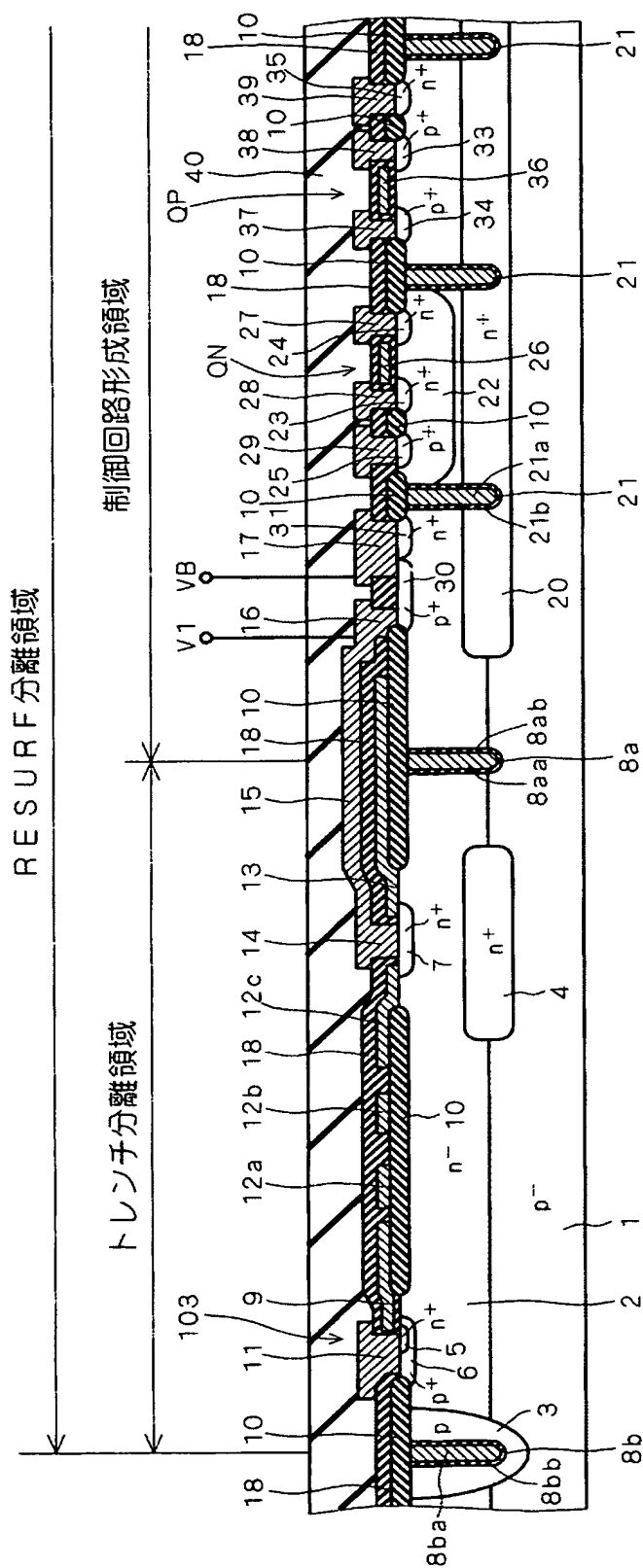
3 : p不純物領域

8a : トレンチ分離構造

8aa : 導電性膜

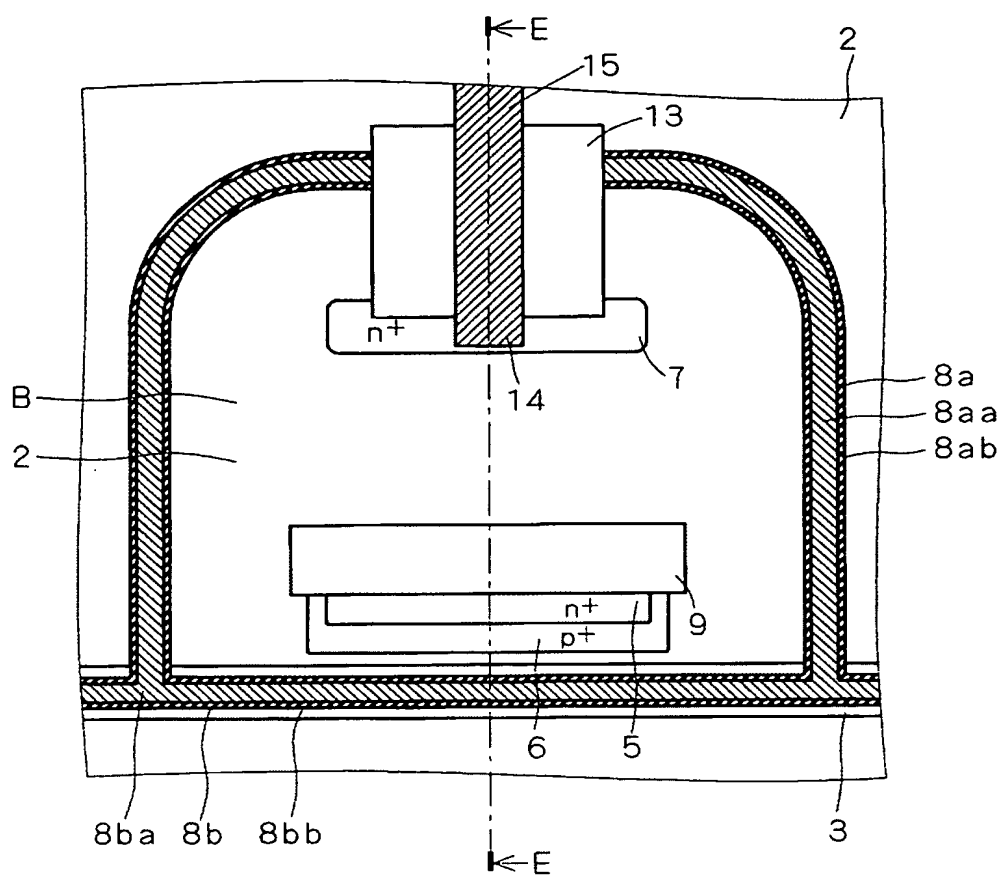
8ab : 絶縁膜

【図 3】

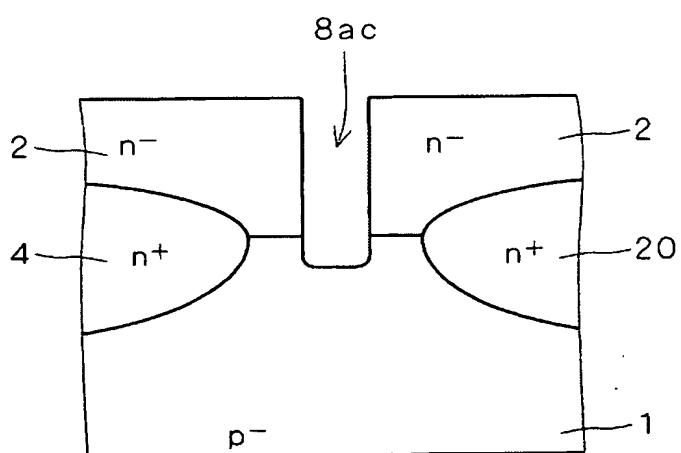


- |                             |                     |
|-----------------------------|---------------------|
| 1: p-半導体基板                  | 10: 分離絶縁膜           |
| 2: n-半導体層                   | 12a, 12b: フィールドプレート |
| 4: n <sup>+</sup> 埋め込み不純物領域 | 13: フィールドプレート       |
| 5: ソース領域                    | 14: ドレイン電極          |
| 6: p <sup>+</sup> 不純物領域     | 15: 配線              |
| 7: n <sup>+</sup> 不純物領域     |                     |

【圖 4】

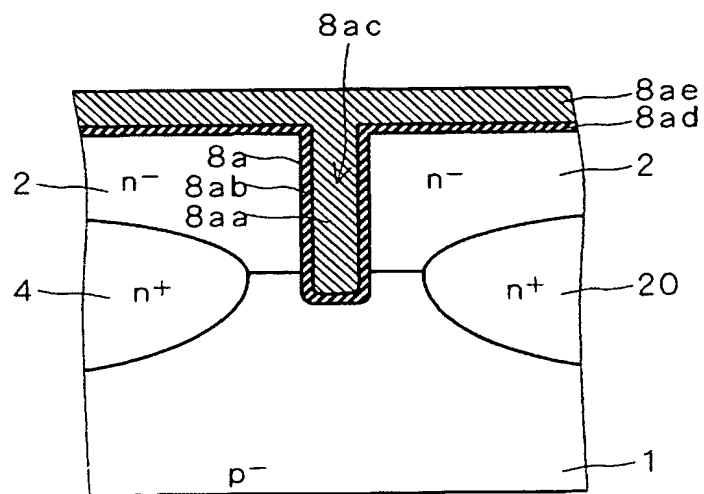


【図 5】

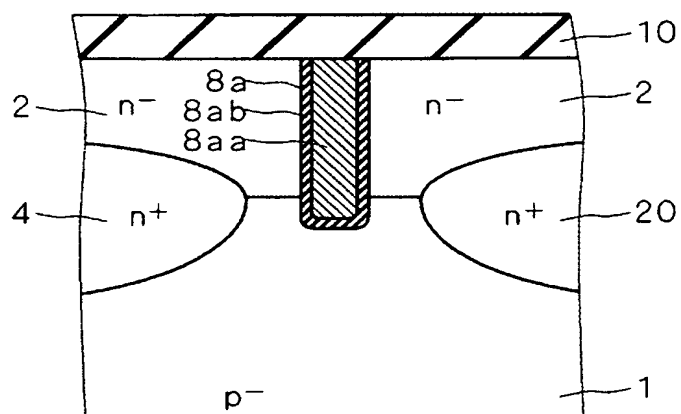




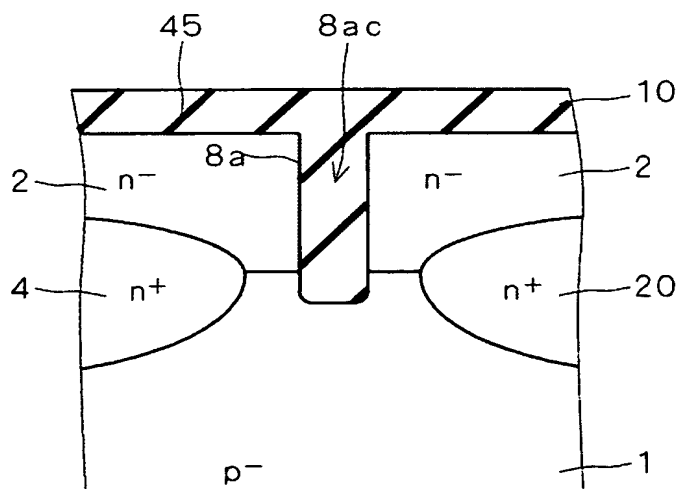
【図 6】



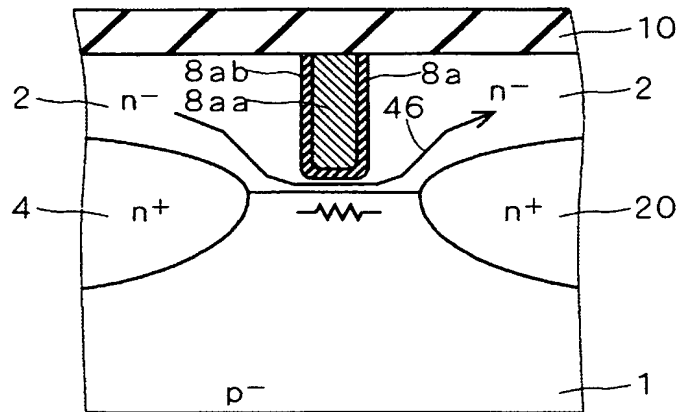
【図 7】



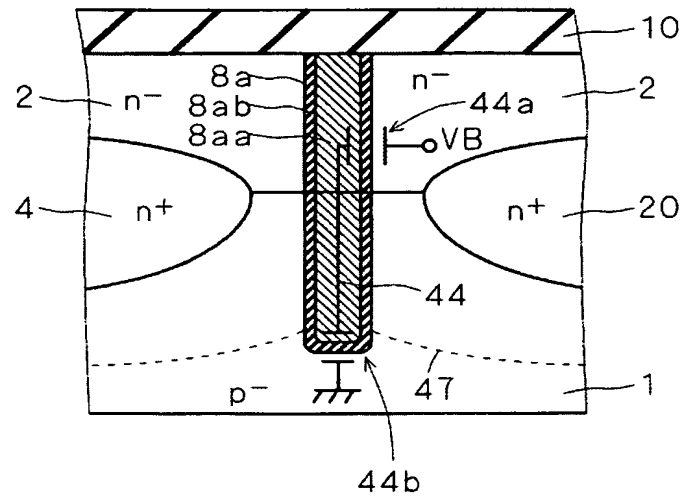
【図 8】



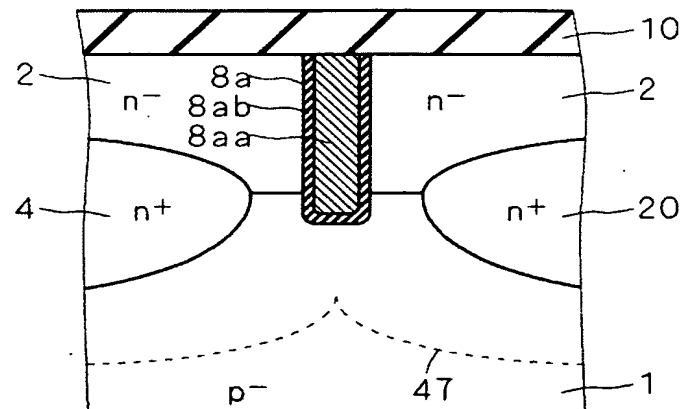
【図 9】



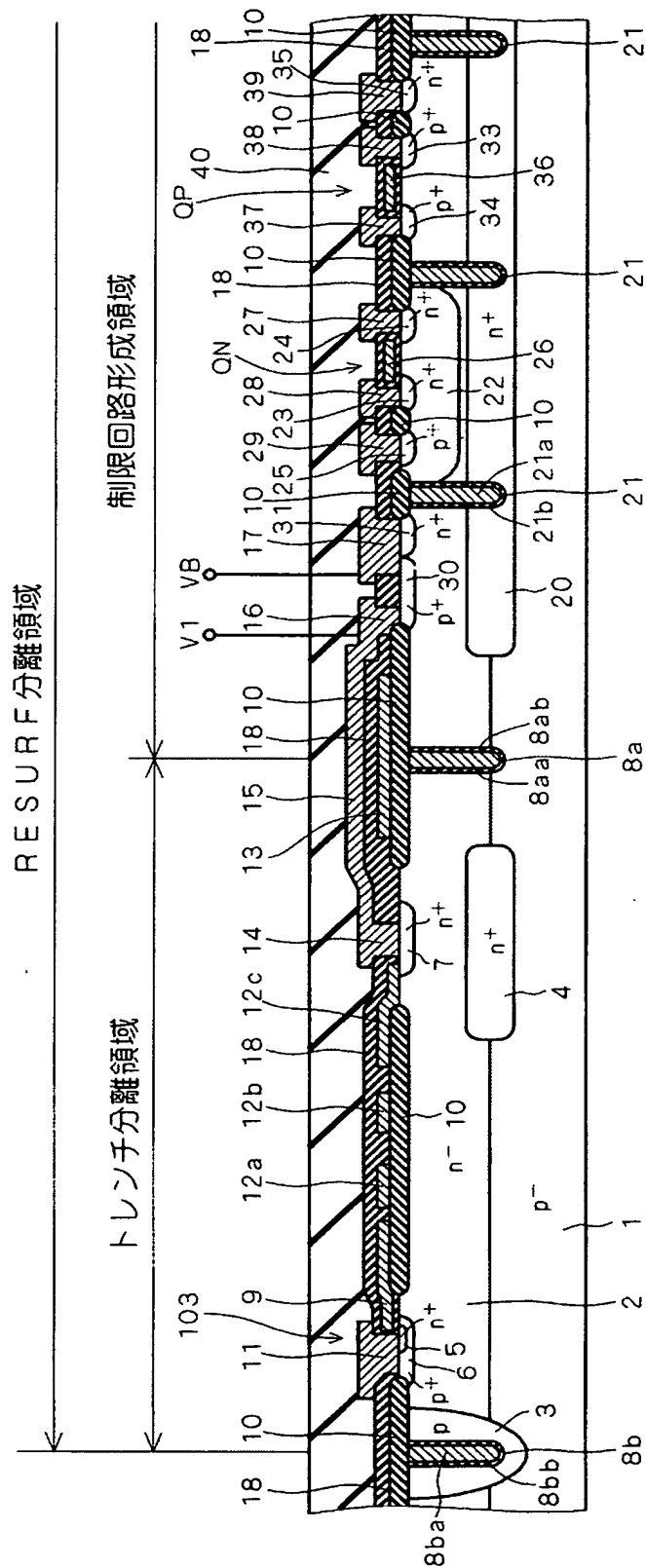
【図 10】



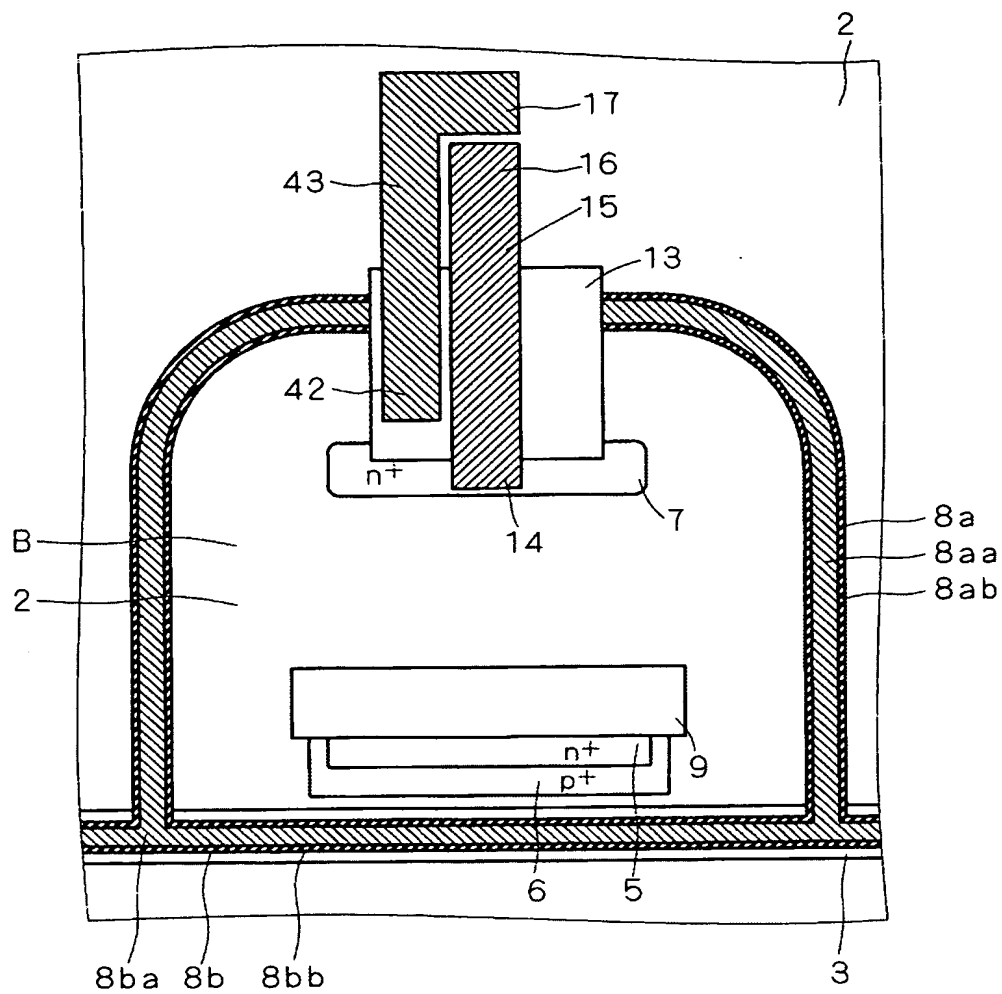
【図 1 1】



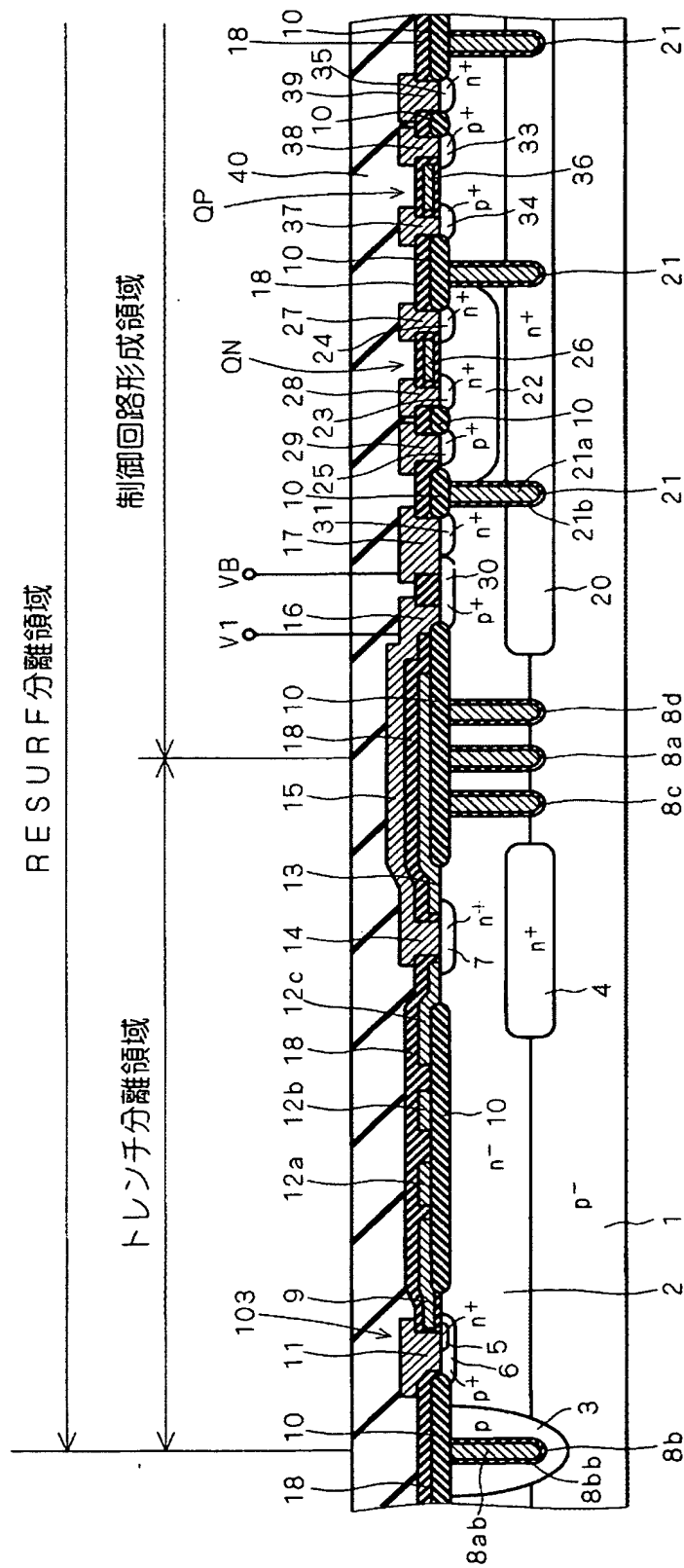
【図 1 2】



【図 13】

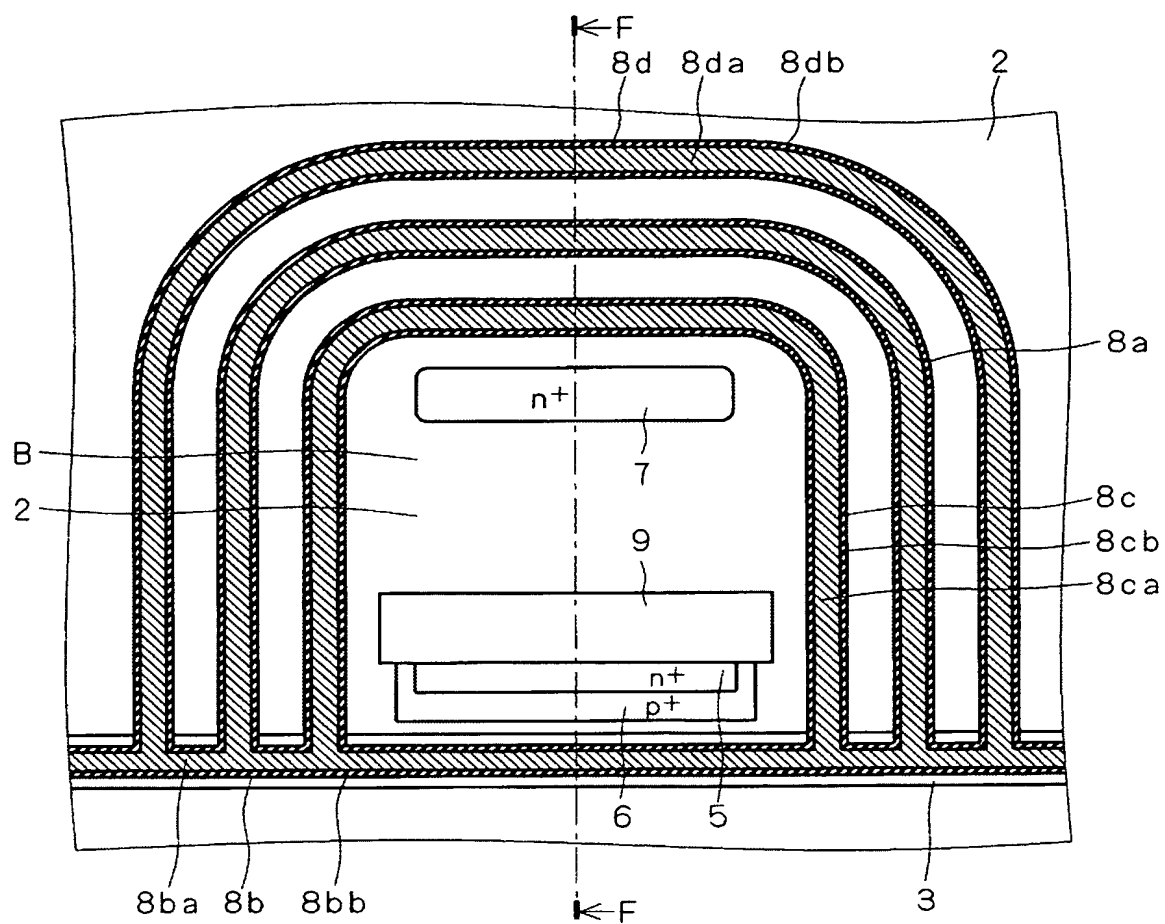


【図 14】



8c, 8d: トレンチ分離構造

【図 15】

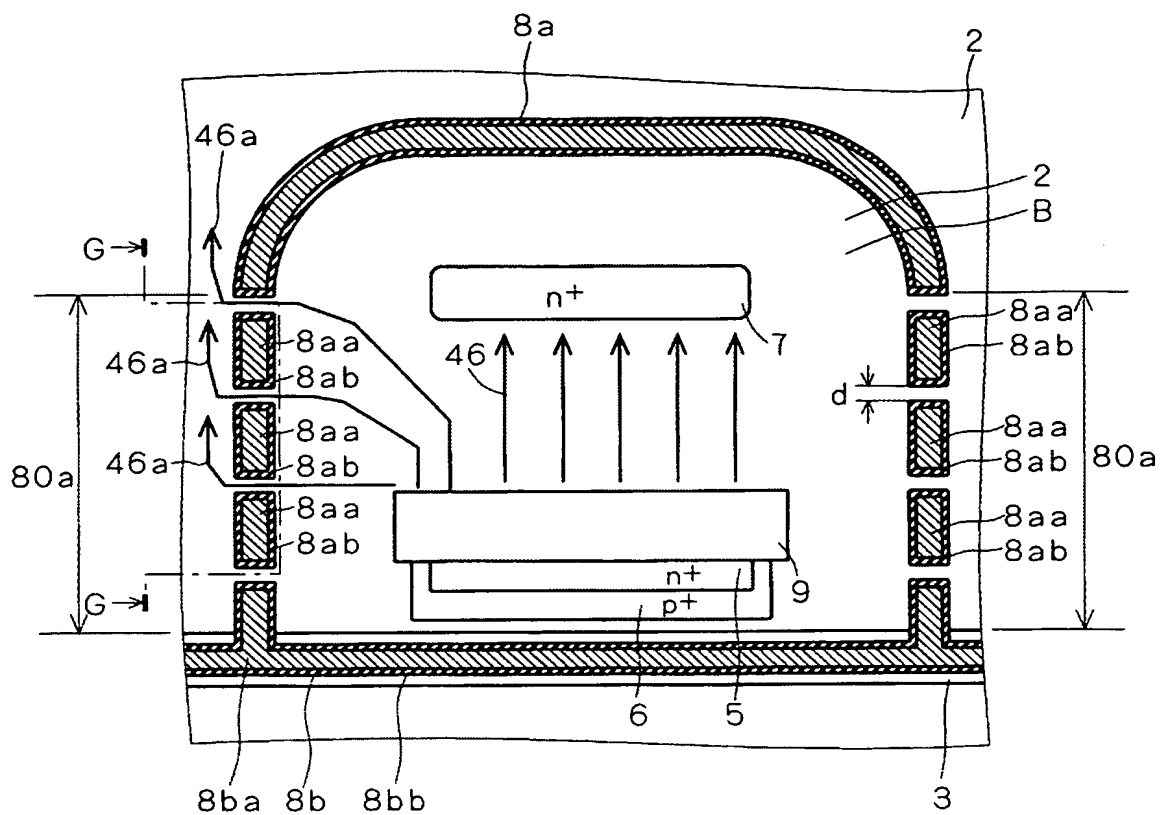


8ca, 8da : 導電性膜

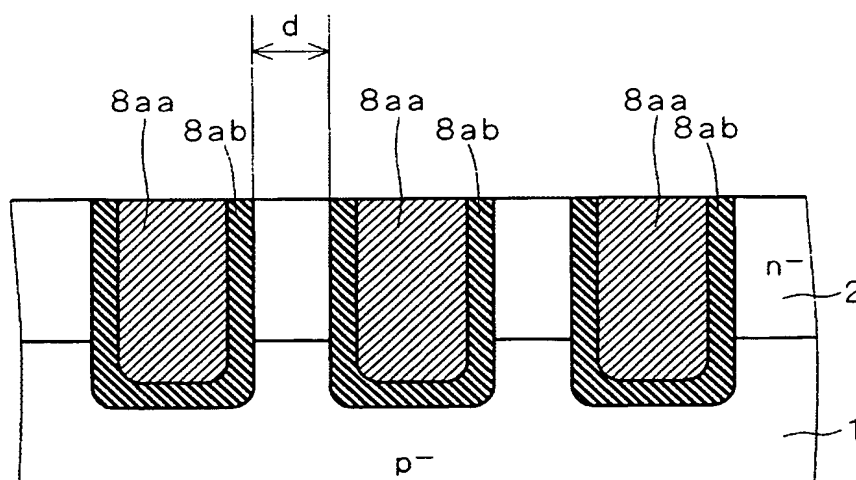
8cb, 8db : 絶縁膜



【図 17】

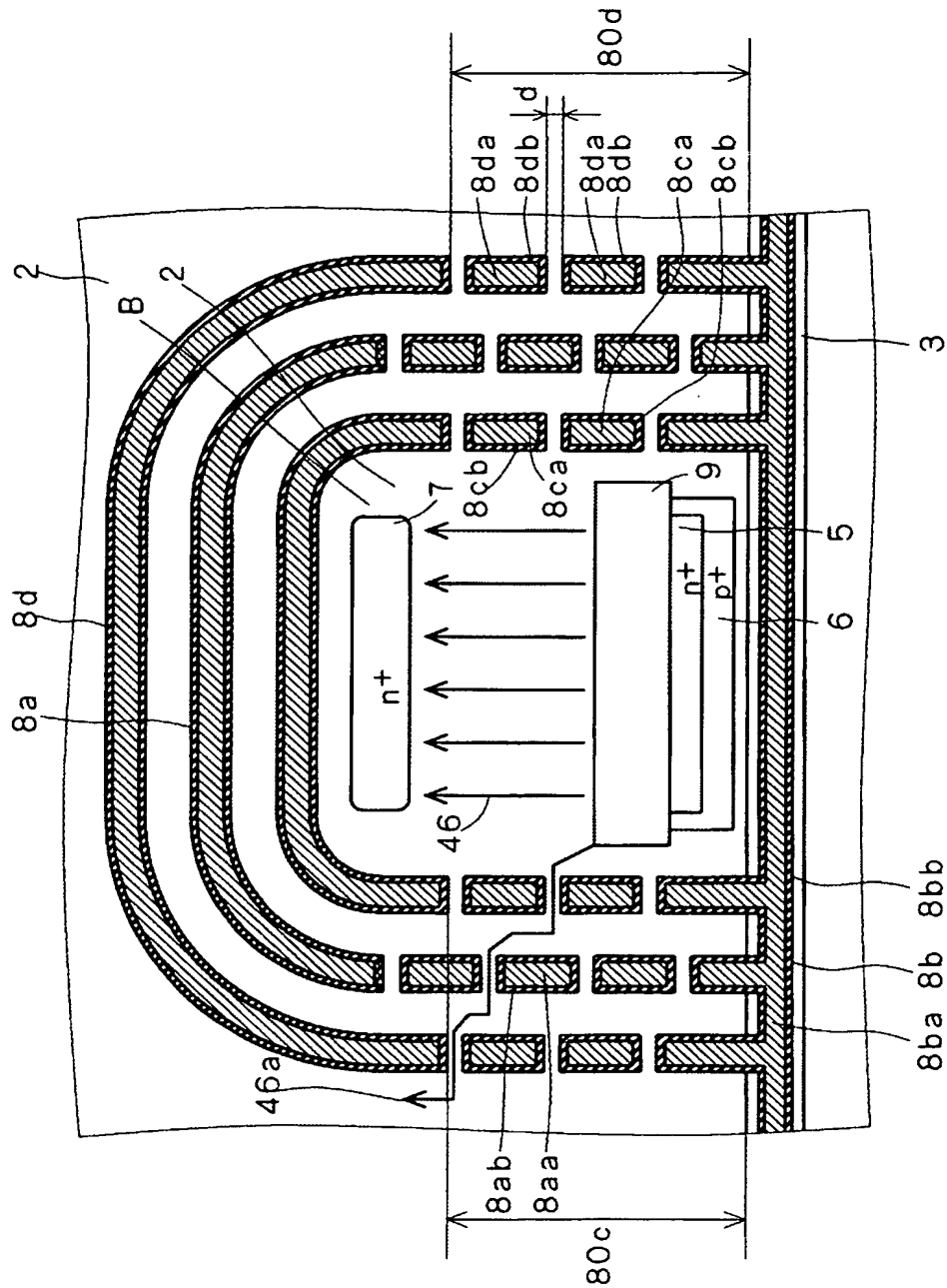


【図 18】

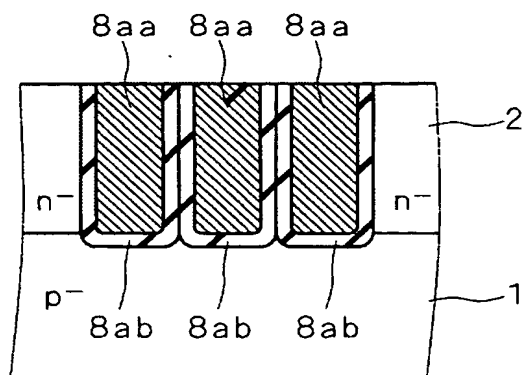




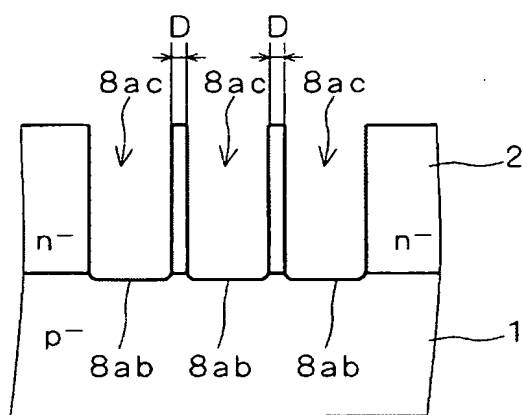
【図 19】



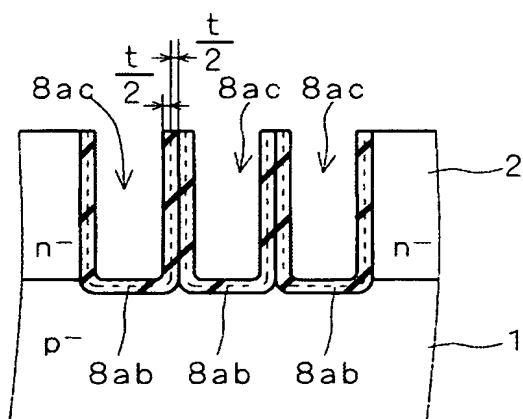
【図 20】



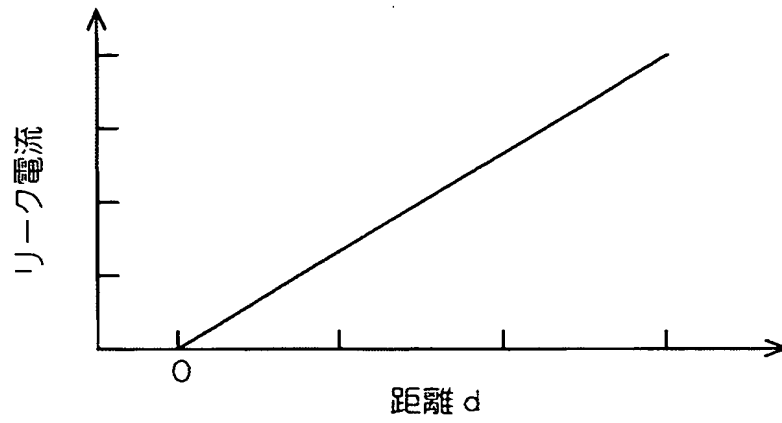
【図 21】



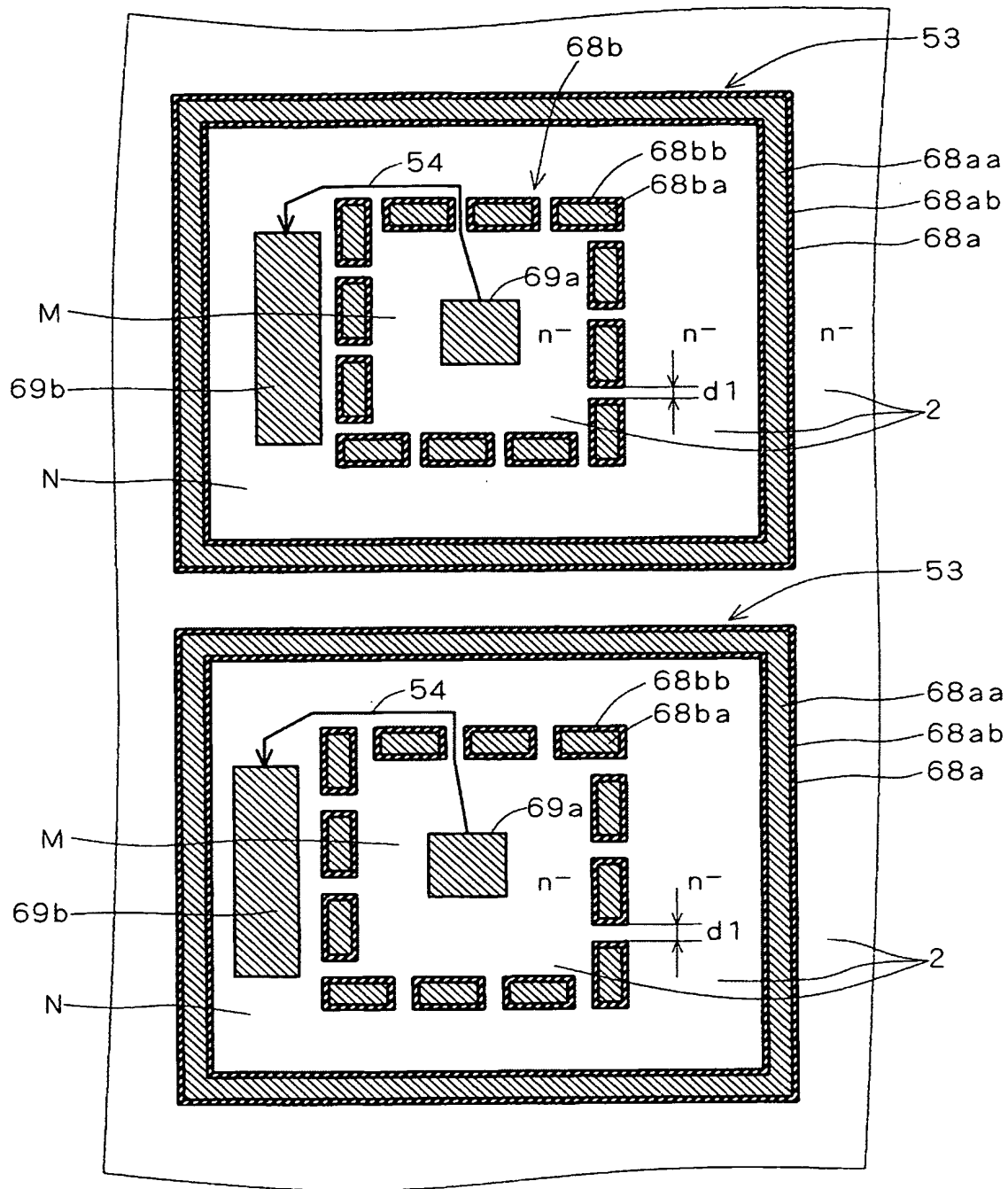
【図 22】



【図 23】



【図 24】



### 53: テスト構造

#### 54:リーク電流

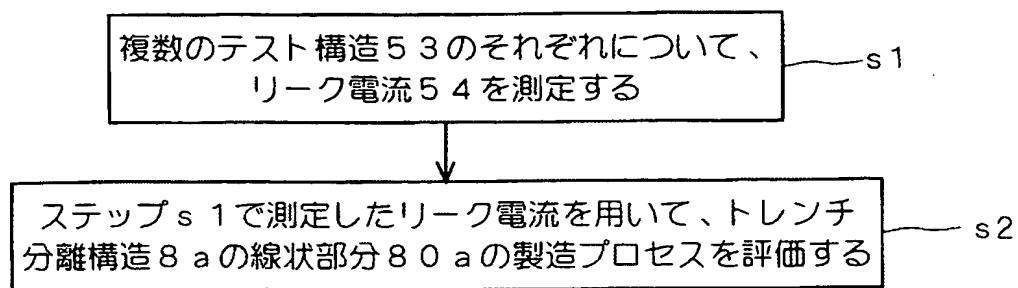
68b: トレンチ分離構造

68ba:導電性膜

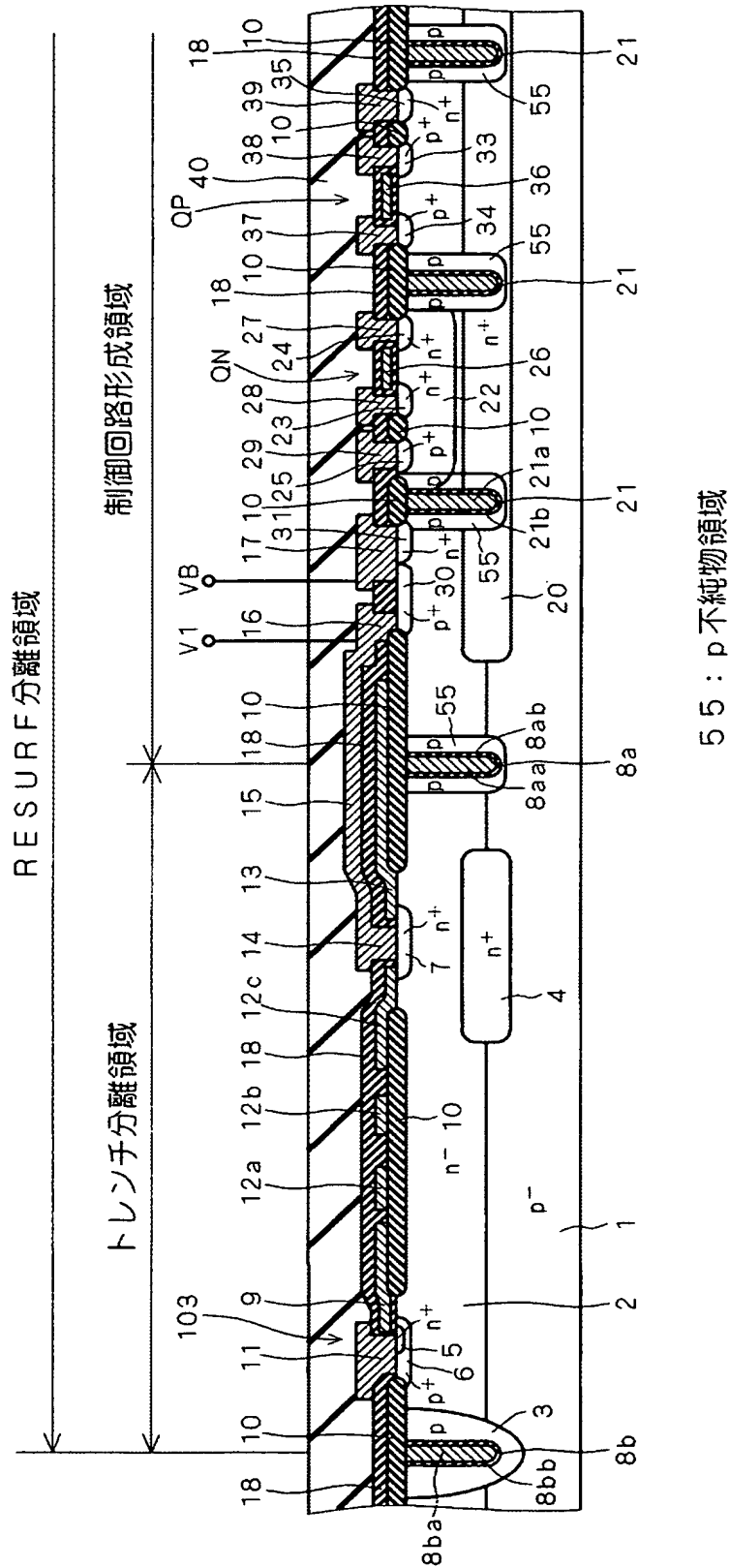
68bb:絶縁膜

M : 領域

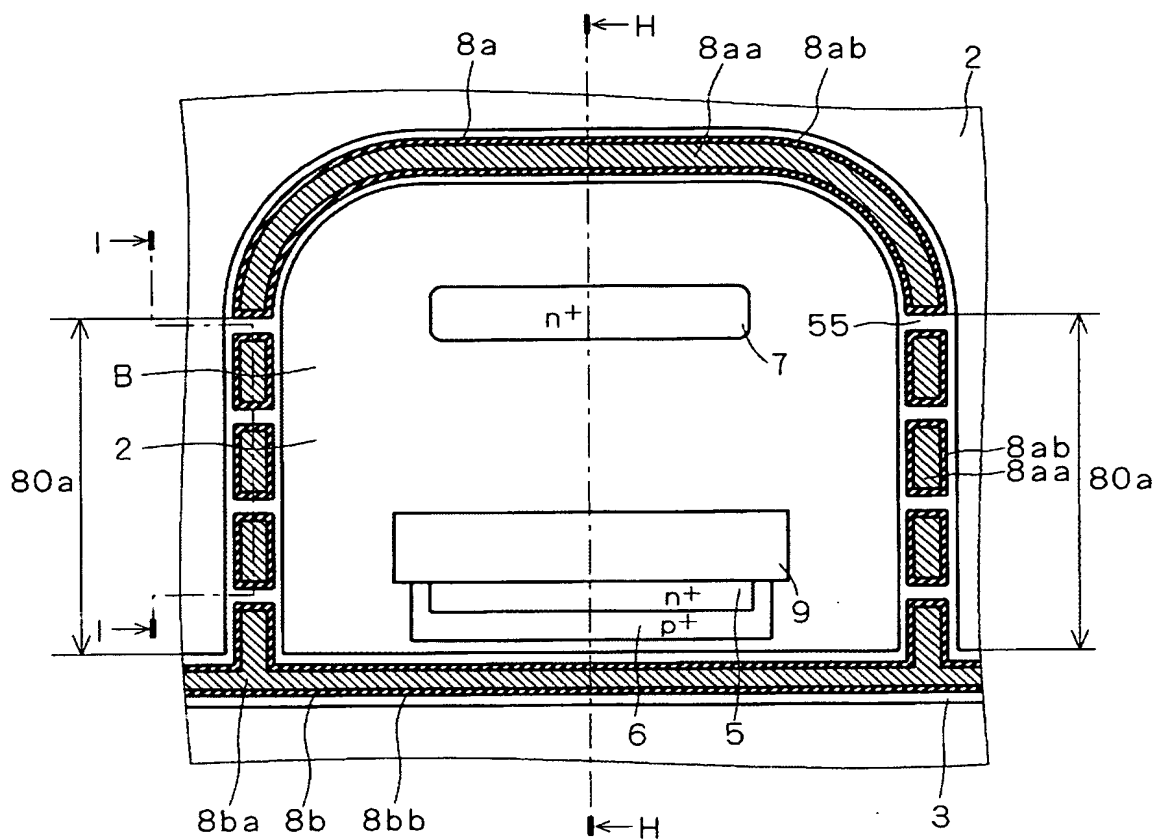
【図 25】



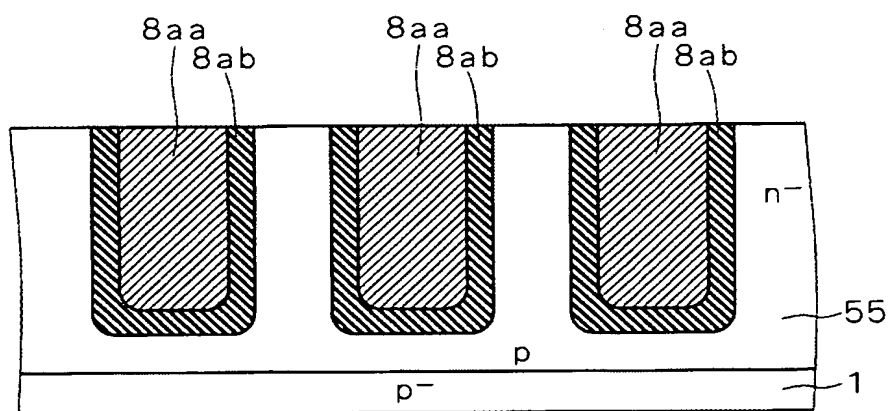
【図 26】



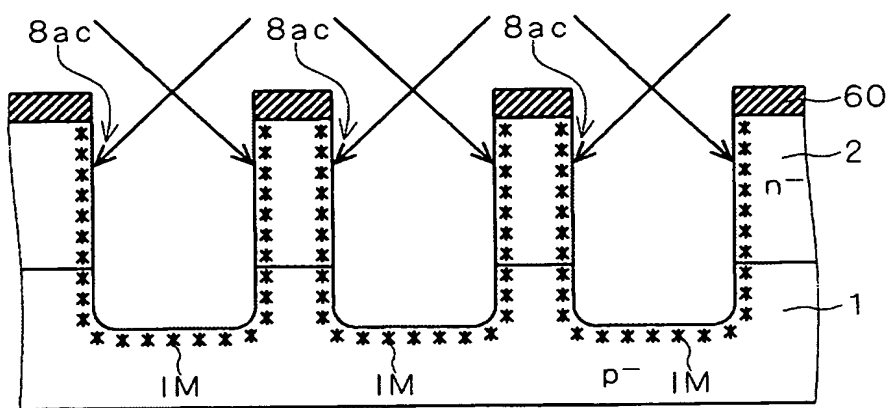
【図 27】



【図 28】

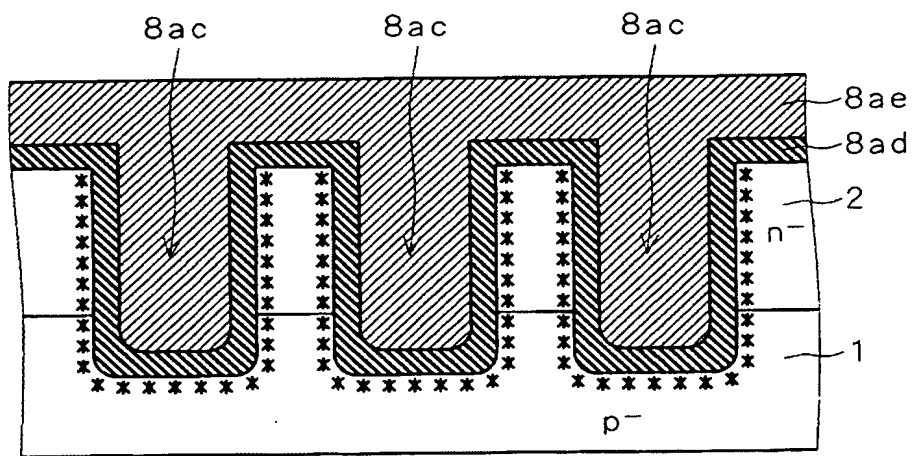


【図 29】



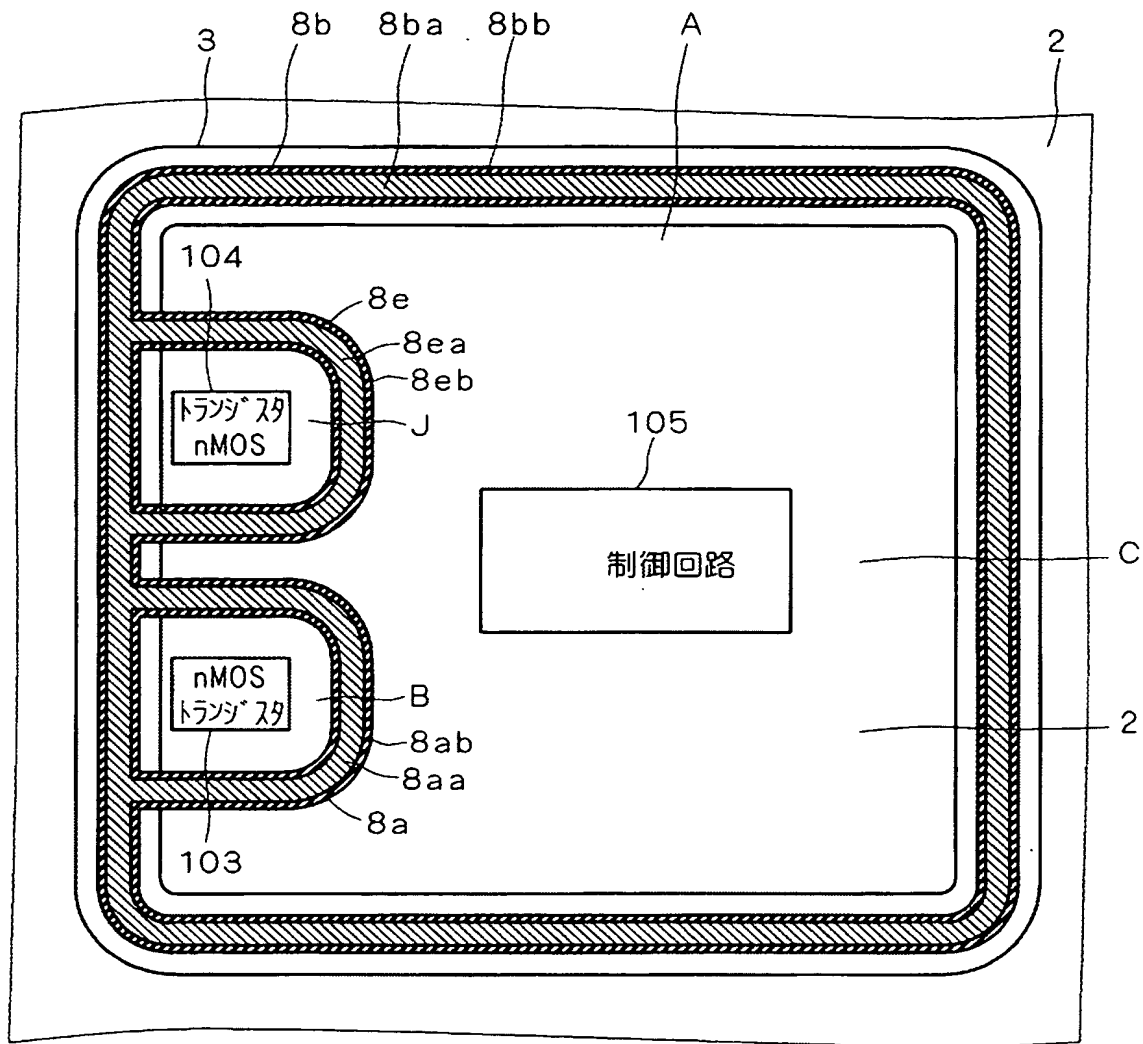
IM: 不純物

【図 30】



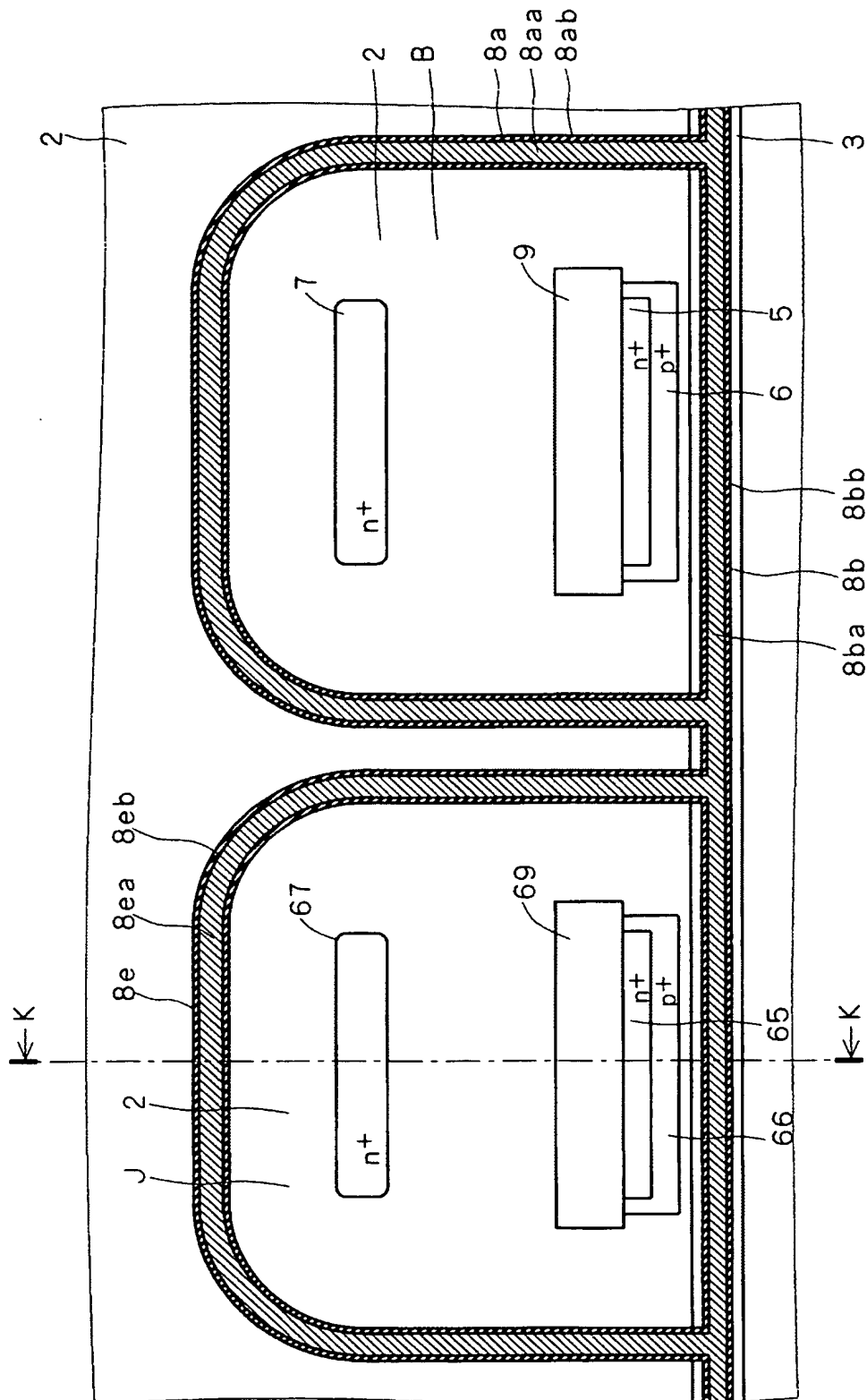


【図 31】

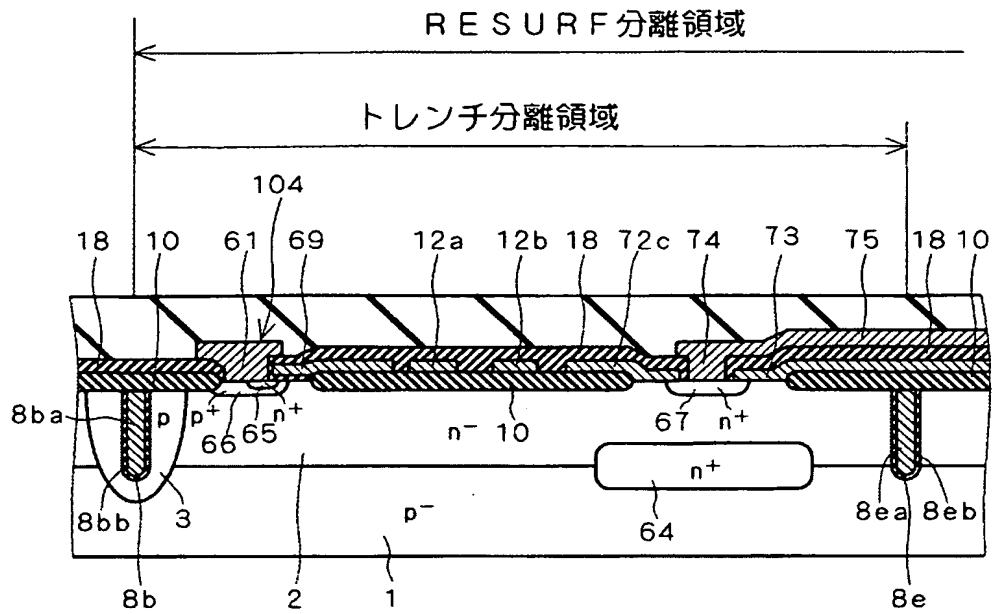


J : トレンチ分離領域  
8e : トレンチ分離構造  
8ea : 導電性膜  
8eb : 絶縁膜

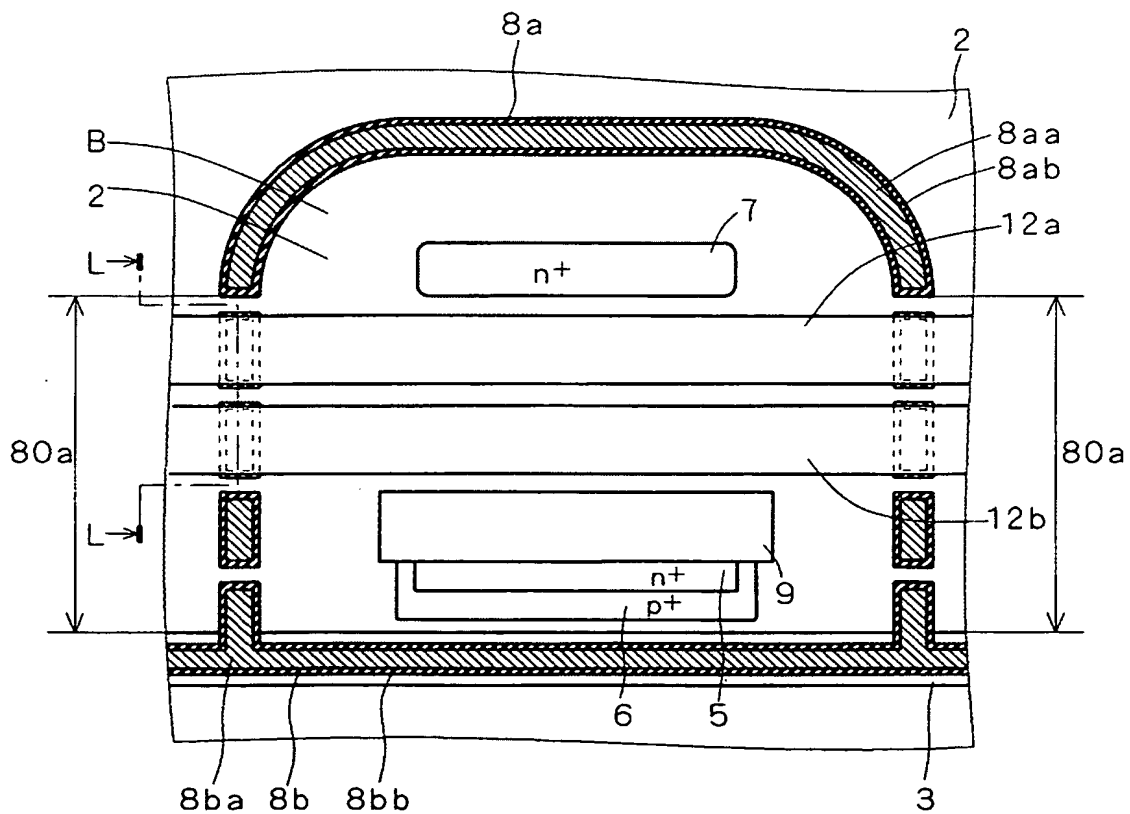
【図 3 2】



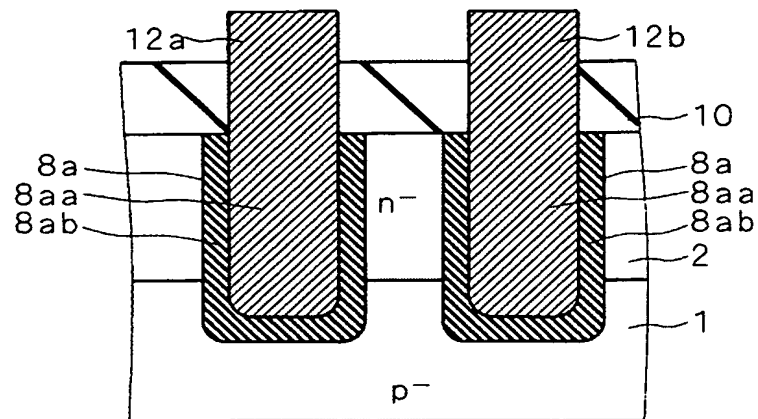
【図 3 3】



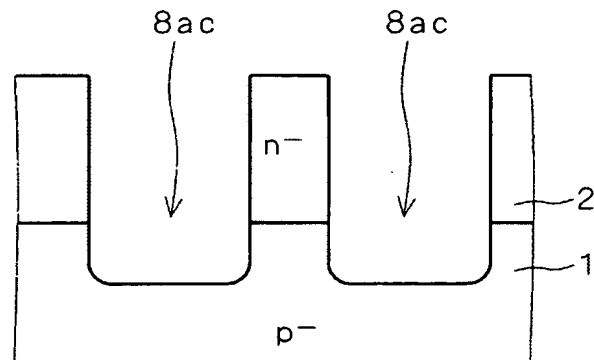
【図 3 4】



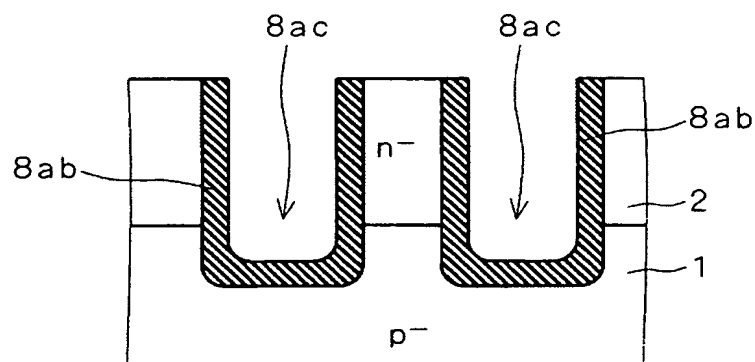
【図 35】



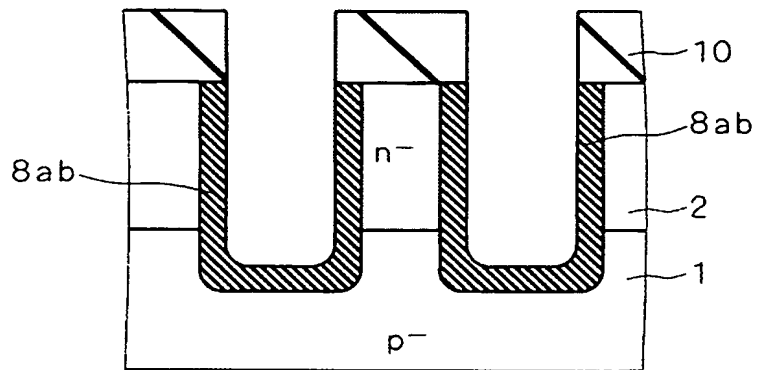
【図 36】



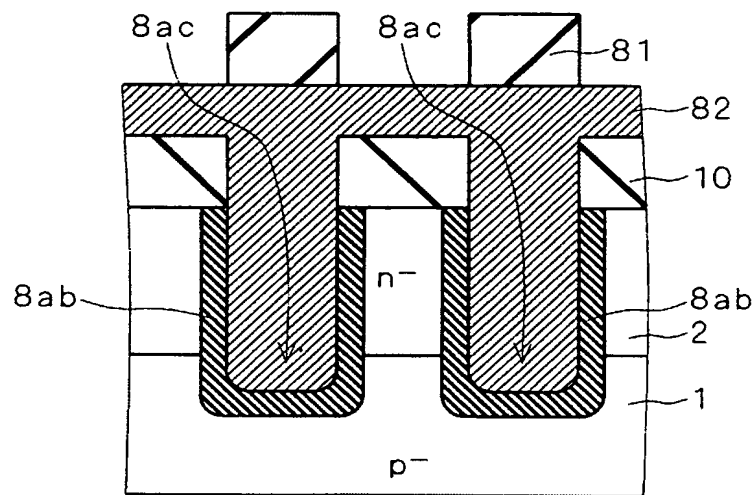
【図 37】



【図 38】

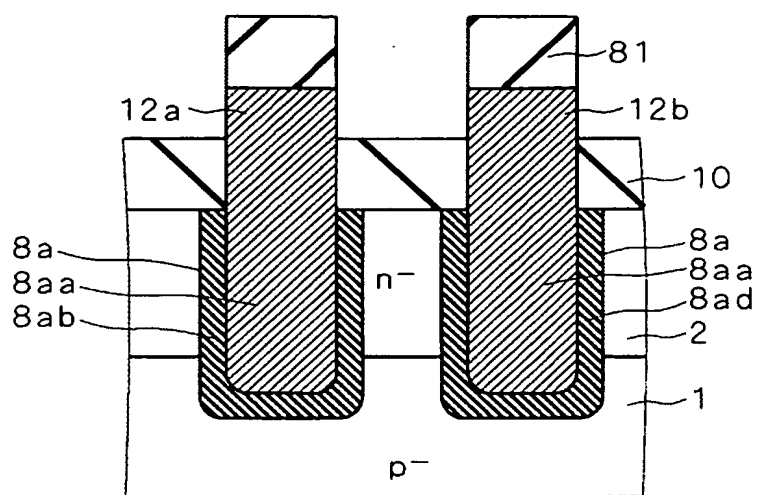


【図 39】



82 : 導電性材料

【図 40】



【書類名】 要約書

【要約】

【課題】 サージ耐圧を向上することが可能な半導体技術を提供する。

【解決手段】 p不純物領域3によってn-半導体層2内にRESURF分離領域が区分されている。トレンチ分離構造8a及びp不純物領域3によって、RESURF分離領域内のn-半導体層2にトレンチ分離領域が区分されている。nMOSトランジスタ103はトレンチ分離領域内に、制御回路はRESURF分離領域内であってトレンチ分離領域外にそれぞれ設けられている。nMOSトランジスタ103のドレイン電極14に接続されるn+不純物領域7の下方においては、n-半導体層2とp-半導体基板1との界面にn+埋め込み不純物領域4が形成されている。

【選択図】 図3

特願 2 0 0 3 - 1 4 1 6 2 5

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 6 0 1 3 ]

1 . 変更年月日

1 9 9 0 年 8 月 2 4 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内 2 丁目 2 番 3 号

氏 名

三菱電機株式会社